



**IMT Atlantique**  
Bretagne-Pays de la Loire  
École Mines-Télécom

# TRANSISTOR MOS

Fabrice SEGUIN

- **Rappels et éléments de technologie**
- **Les modèles en fonctionnement statique**
- **Les modèles en fonctionnement dynamique**

# ELP111: LE TRANSISTOR MOS ET APPLICATIONS



Analogique

Amplification

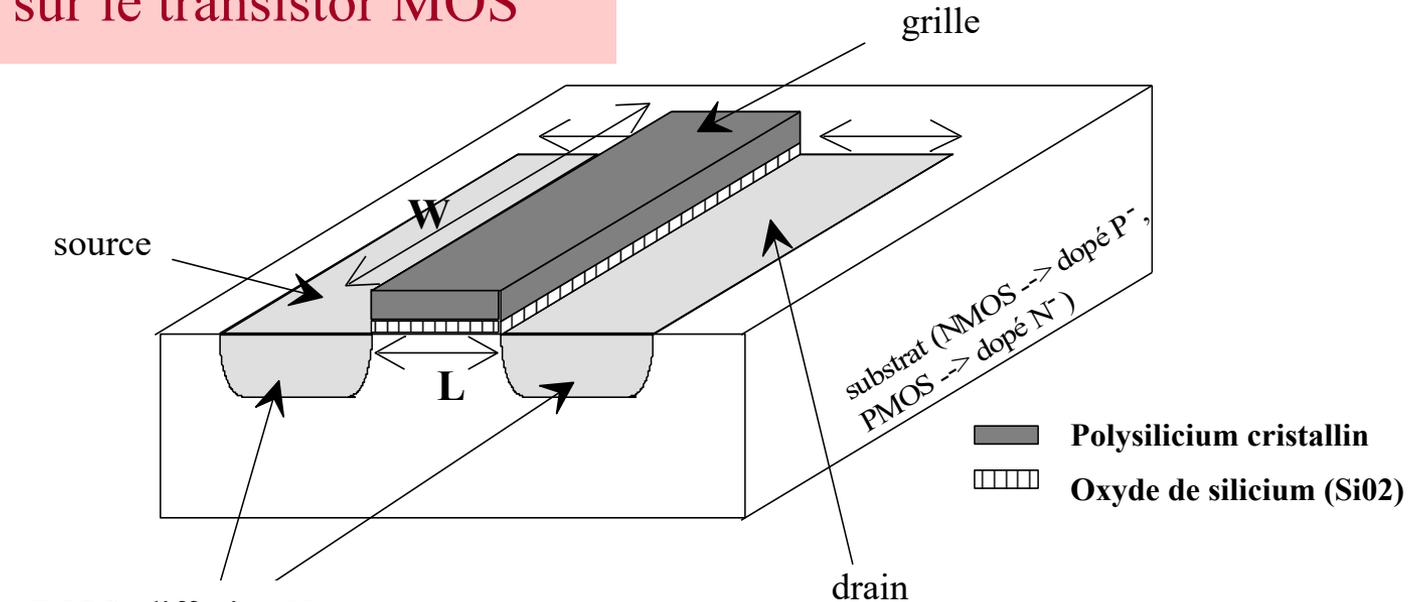
Numérique

Portes logiques

- **Rappels et éléments de technologie**
- **Les modèles en fonctionnement statique**
- **Les modèles en fonctionnement dynamique**

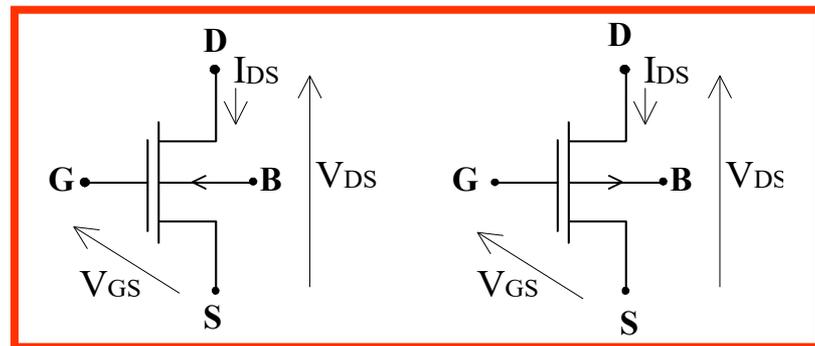
# RAPPELS SUR LA TECHNOLOGIE MOS

## Rappel sur le transistor MOS



NMOS: diffusion N<sup>+</sup>

PMOS: diffusion P<sup>+</sup>

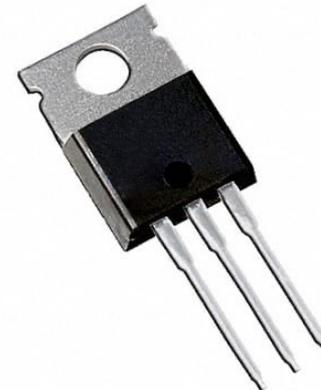
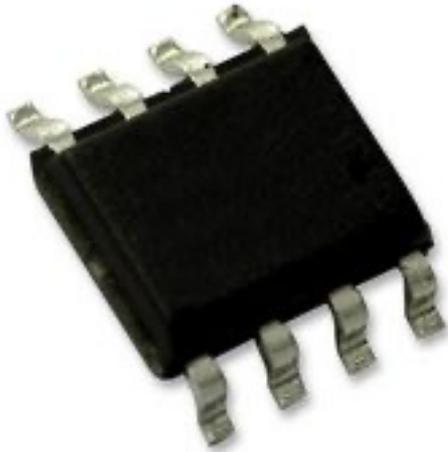


Type N

Type P

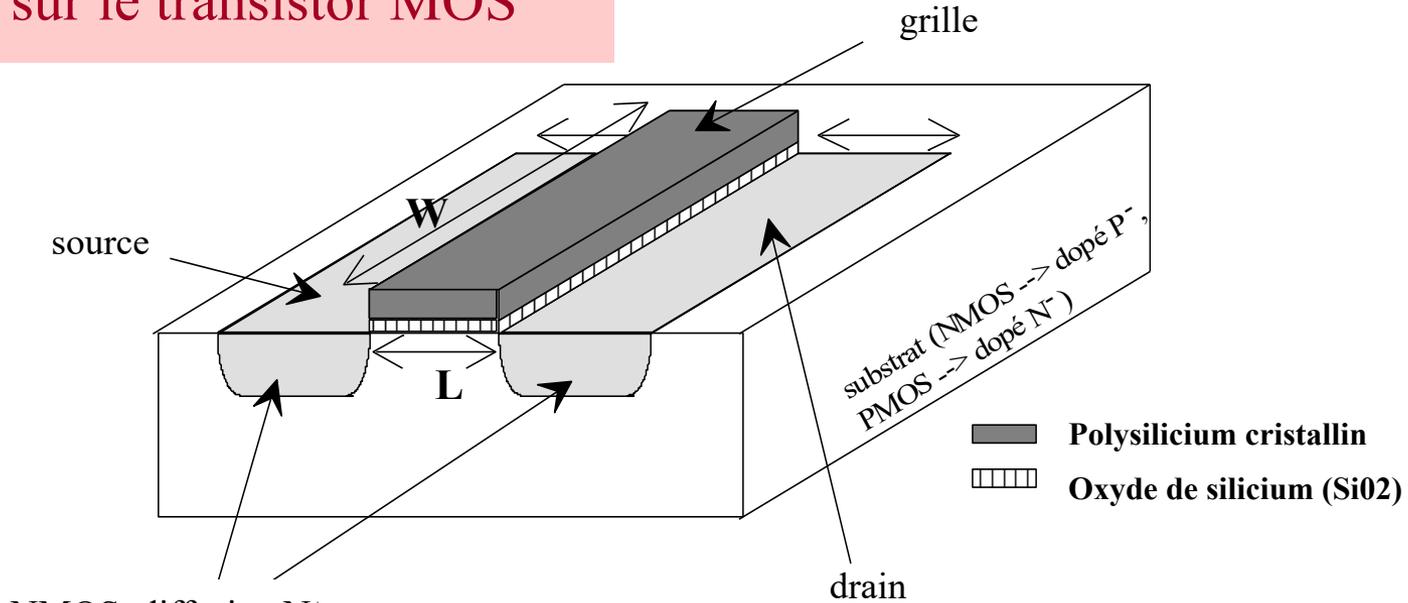
Représentation symbolique des transistors MOS

# TRANSISTORS EN BOITIER



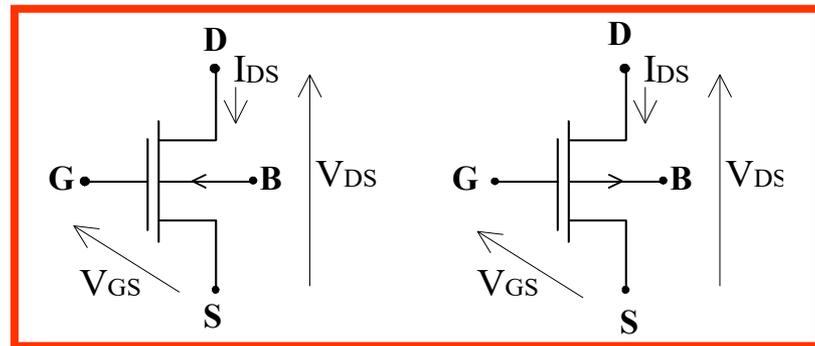
# RAPPELS SUR LA TECHNOLOGIE MOS

## Rappel sur le transistor MOS



NMOS: diffusion N<sup>+</sup>

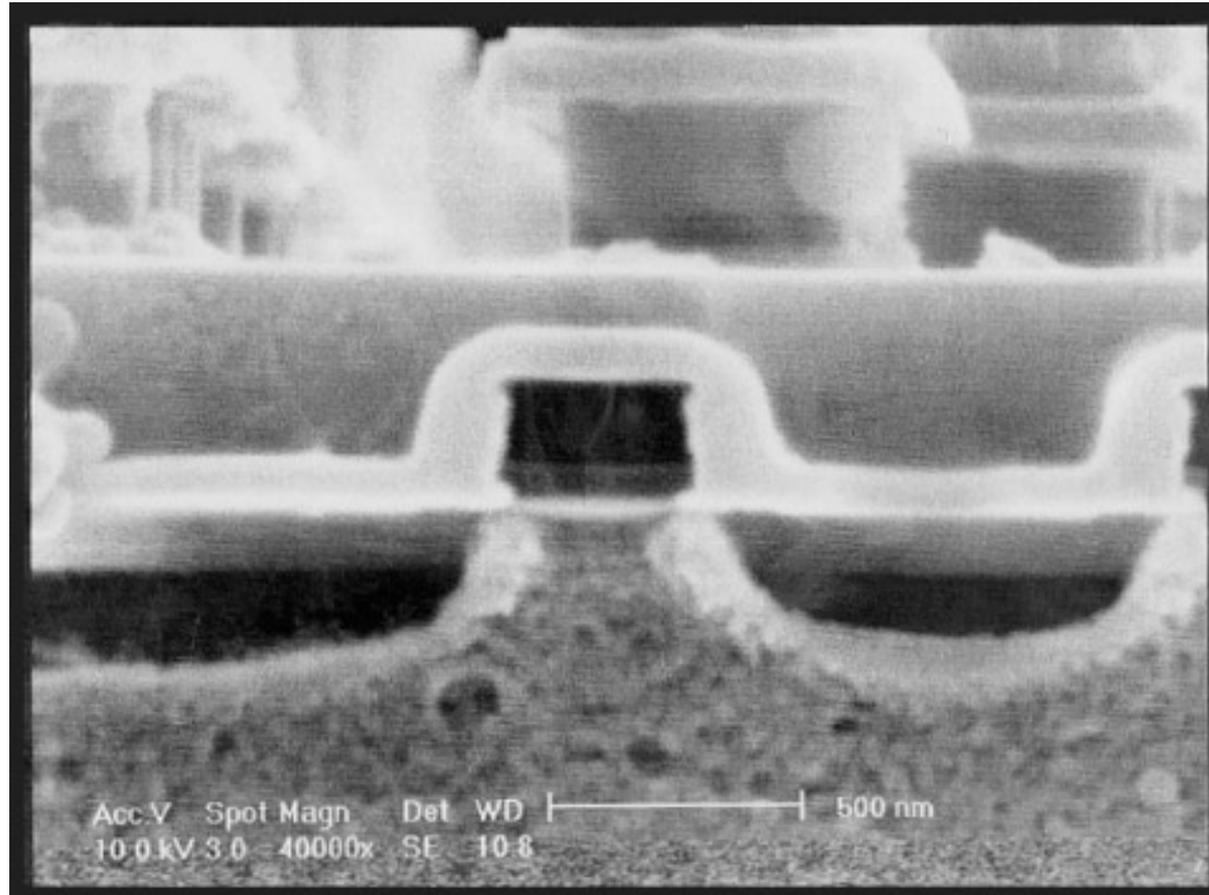
PMOS: diffusion P<sup>+</sup>



Type N

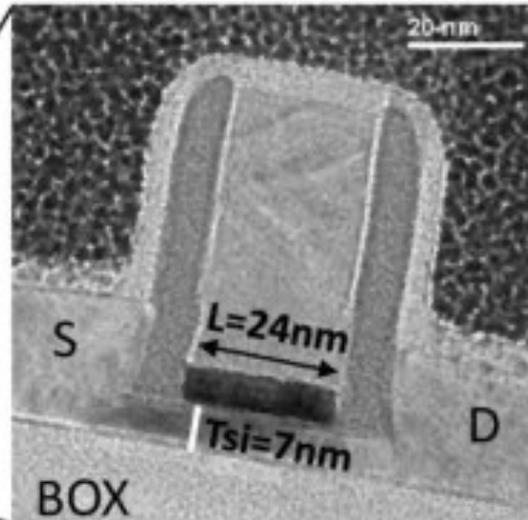
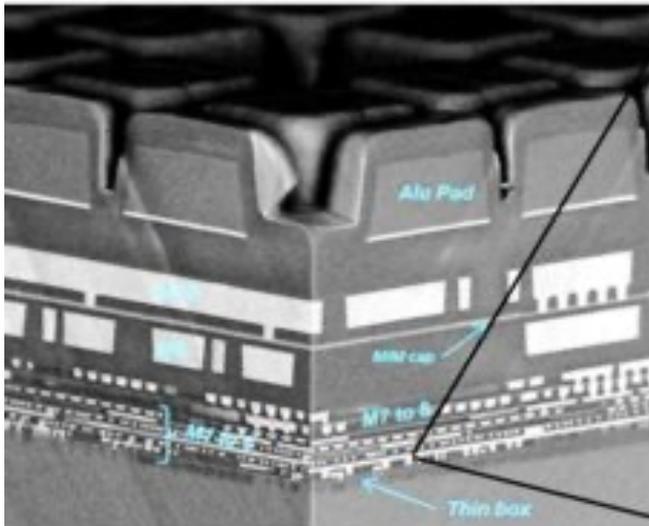
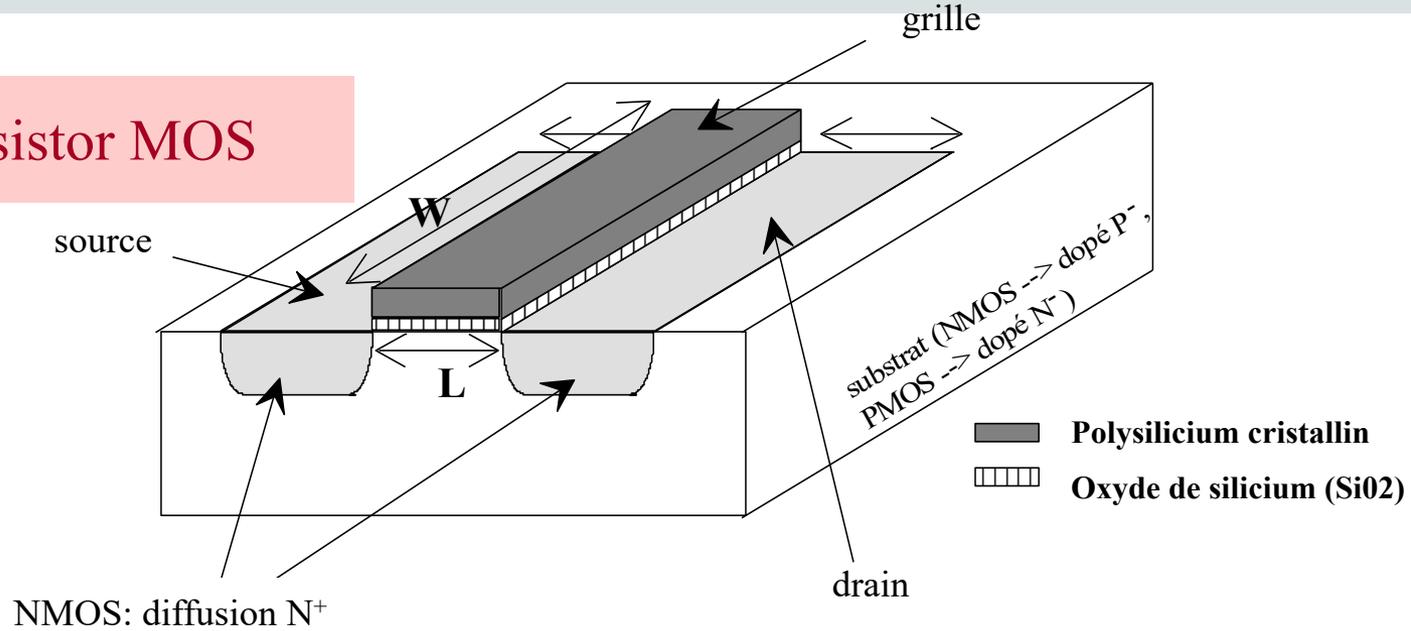
Type P

Représentation symbolique des transistors MOS



# RAPPELS SUR LA TECHNOLOGIE MOS

## Rappel sur le transistor MOS



# NVIDIA AD102 POUR GPU RTX4090

GRAVURE	GPU	NOMBRE DE TRANSISTORS	SUPERFICIE DIE	DENSITÉ (MILLIONS DE TRANSISTORS / MM <sup>2</sup> )
---------	-----	-----------------------	----------------	--

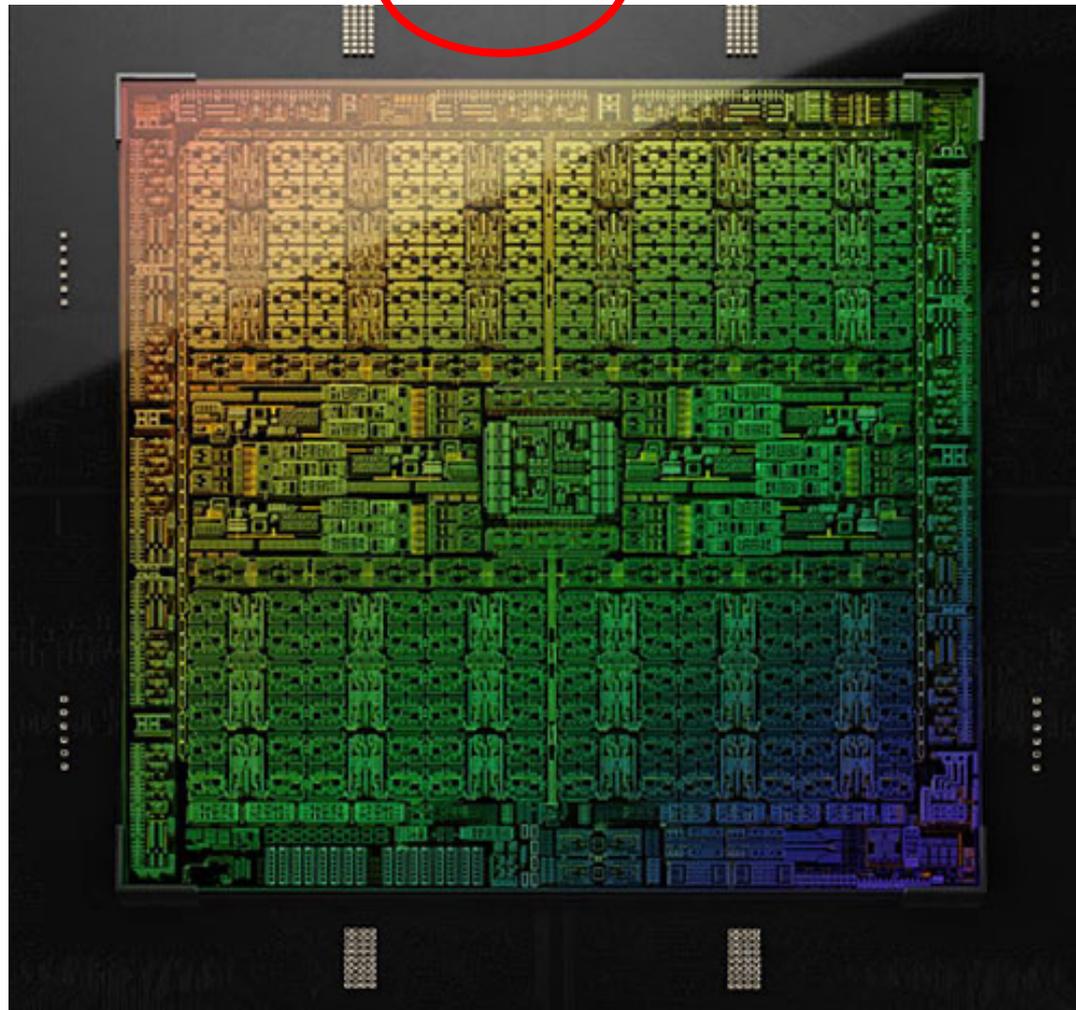
4 nm TSMC

AD102

76,3 Milliards

608,5 mm<sup>2</sup>

125,4

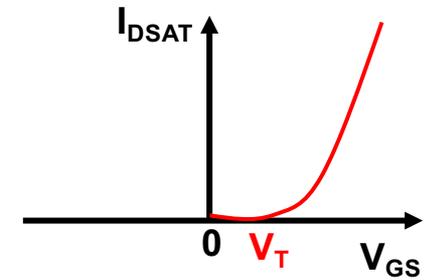
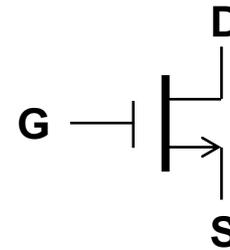
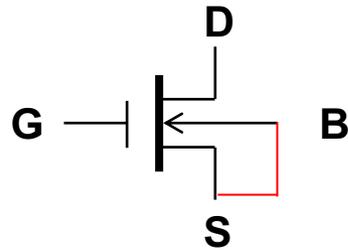
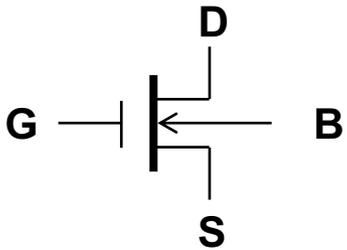


2,5cm

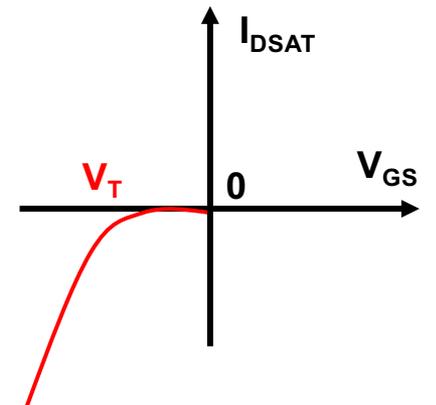
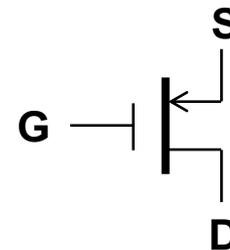
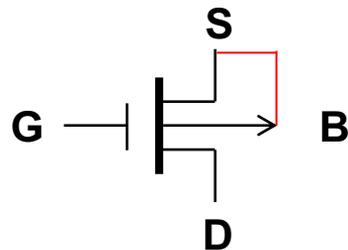
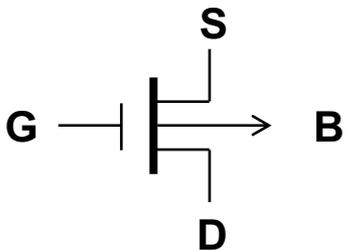
- **Rappels et éléments de technologie**
- **Les modèles en fonctionnement statique**
- **Les modèles en fonctionnement dynamique**

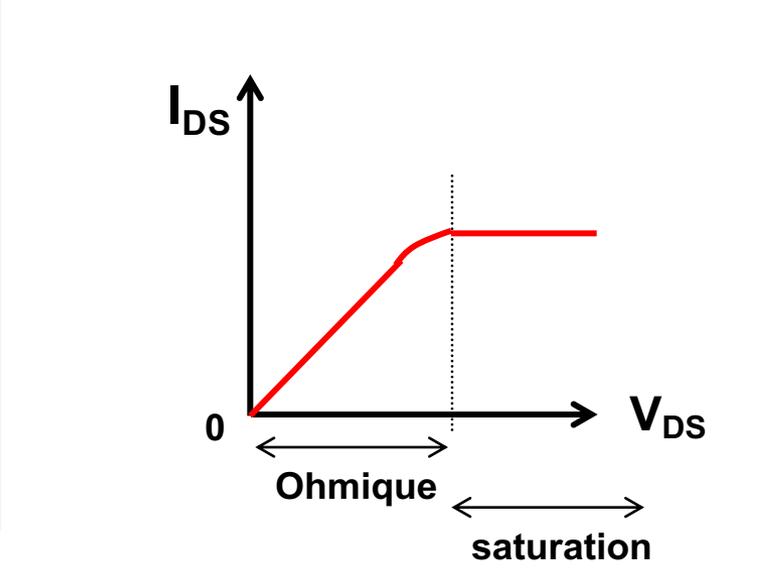
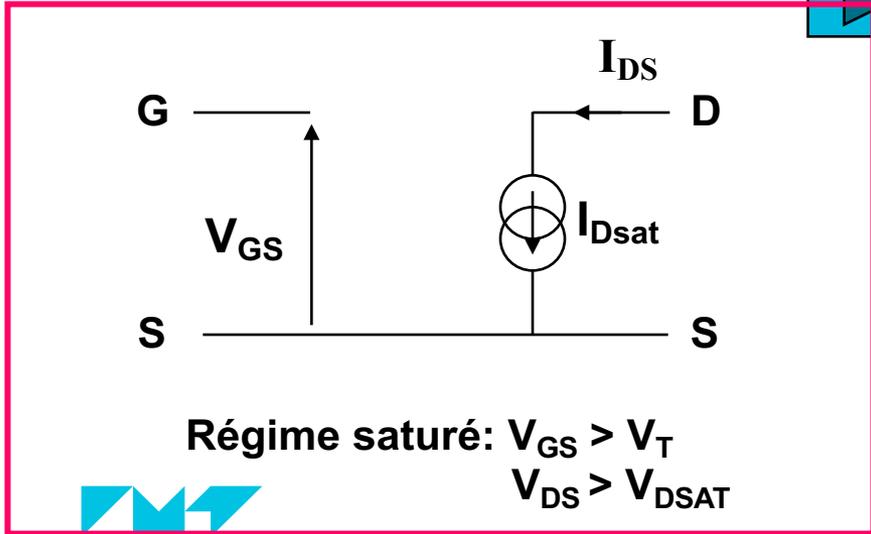
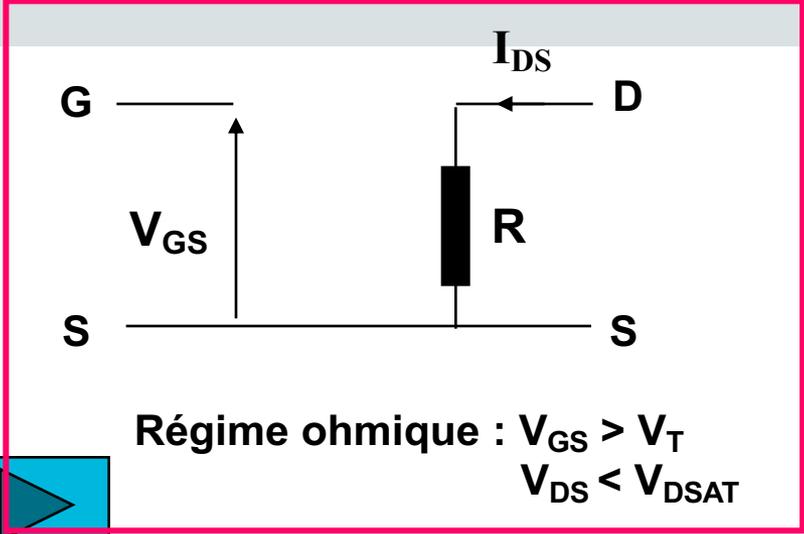
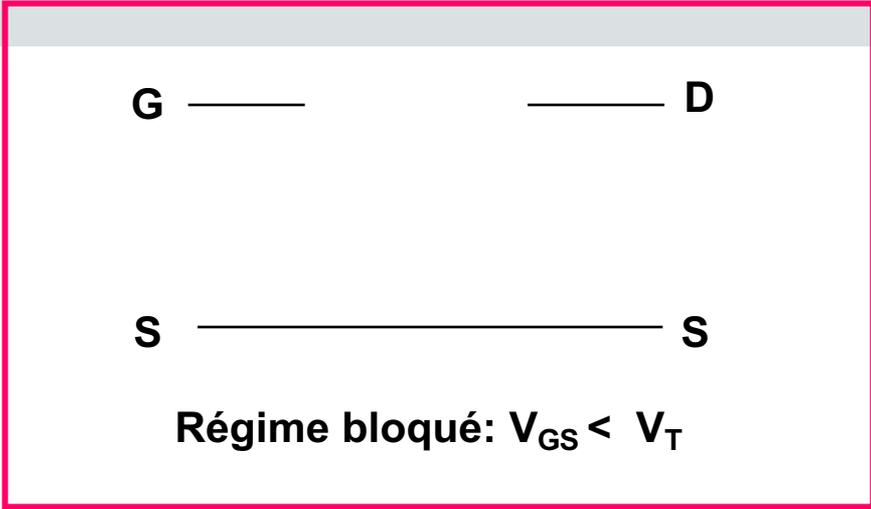
- **Rappels et éléments de technologie**
- **Les modèles en fonctionnement statique**
  - Les modèles en analogique
  - Les modèles en numérique
- **Les modèles en fonctionnement dynamique**

## CANAL N À enrichissement



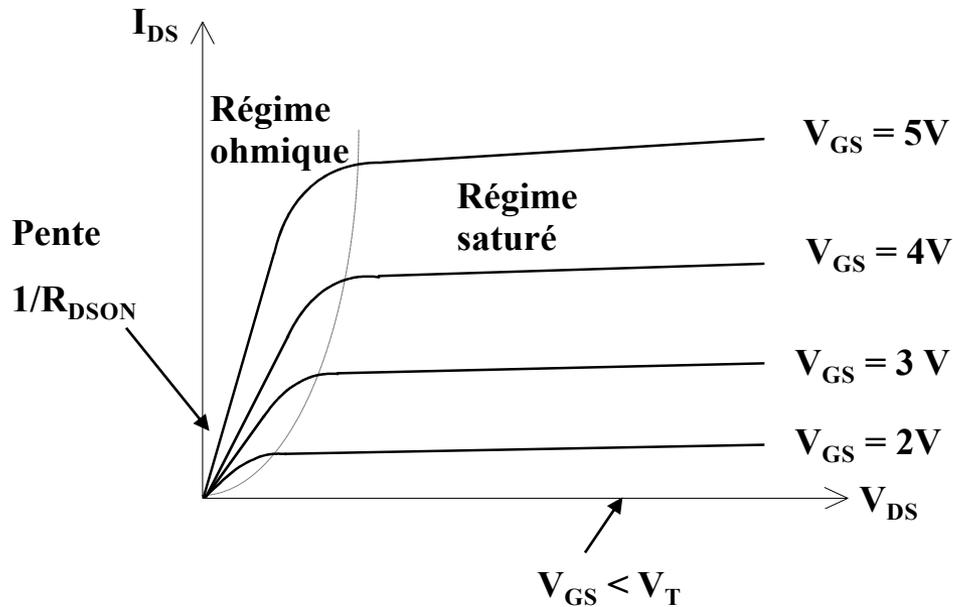
## CANAL P À enrichissement





# LES MODÈLES STATIQUES ANALOGIQUES

## Le transistor nMOS



$V_{TN}$  = tension de seuil

$$\beta_N = \mu_{ns} C_{ox} W/L$$

$$R_{DSON} = 1/\beta_N (V_{GS} - V_{TN})$$

### Régime bloqué:

$V_{GS} < V_{TN}$  (isolation électrique entre drain et source)

### Régime passant:

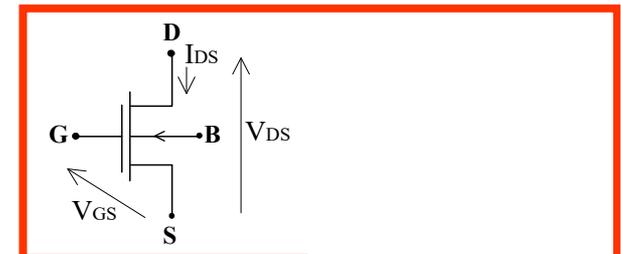
$V_{GS} > V_{TN}$

si  $V_{DS} < V_{GS} - V_{TN}$  régime ohmique

$$I_{DS} = \beta_N (V_{GS} - V_{TN} - V_{DS}/2) V_{DS}$$

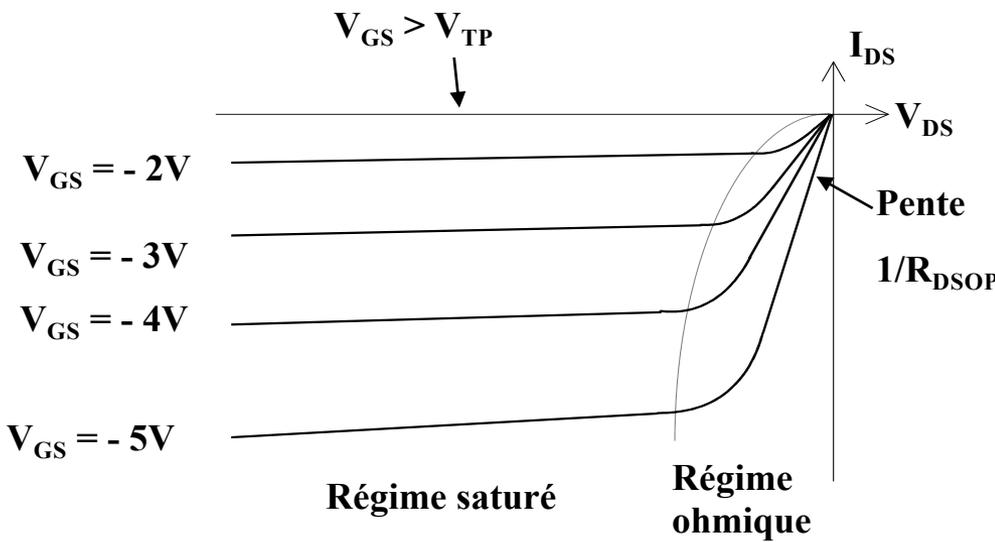
si  $V_{DS} > V_{GS} - V_{TN}$  régime saturé

$$I_{DS} = \frac{1}{2} \beta_N (V_{GS} - V_{TN})^2$$



# LES MODÈLES STATIQUES ANALOGIQUES

## Le transistor pMOS



### Régime bloqué:

$V_{GS} > V_{TP}$  (isolation électrique entre drain et source)

### Régime passant:

$V_{GS} < V_{TP}$

si  $V_{DS} > V_{GS} - V_{TP}$  régime ohmique

$$I_{DS} = -\beta_P (V_{GS} - V_{TP} - V_{DS}/2) V_{DS}$$

si  $V_{DS} < V_{GS} - V_{TP}$  régime saturé

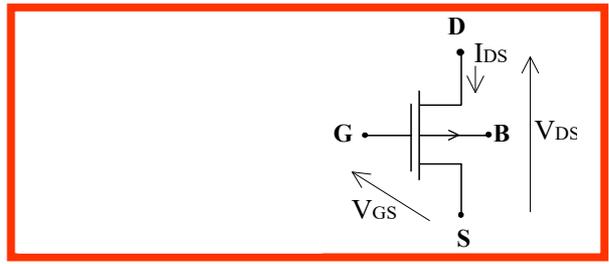
$$I_{DS} = -\frac{1}{2} \beta_P (V_{GS} - V_{TP})^2$$

$V_{TP}$  = tension de seuil

$\beta_P = \mu_{ps} C_{ox} W/L$

$R_{DSOP} = -1/\beta_P (V_{GS} - V_{TP})$

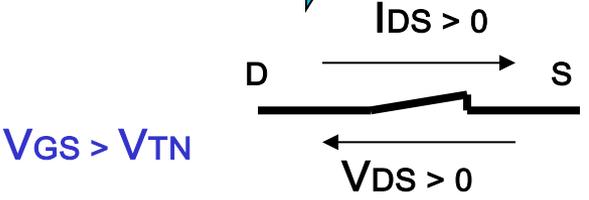
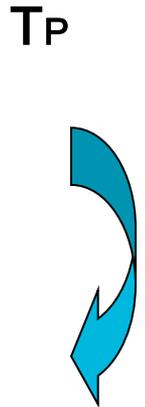
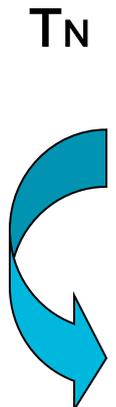
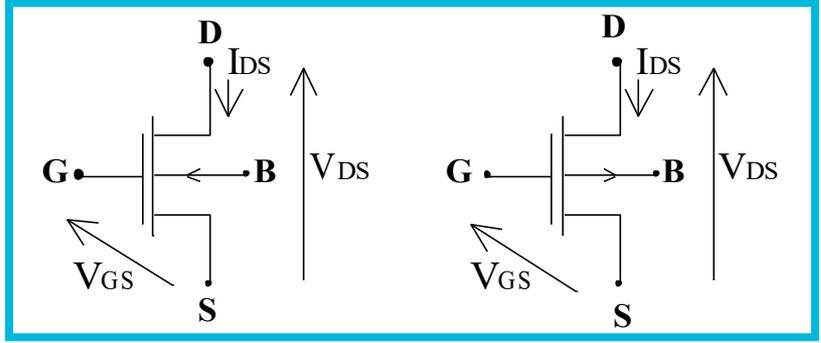
$\mu_{ns} \approx 3 \mu_{ps}$



- **Rappels et éléments de technologie**
- **Les modèles en fonctionnement statique**
  - Les modèles en analogique
  - Les modèles en numérique
- **Les modèles en fonctionnement dynamique**

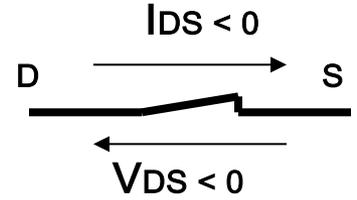
# LES MODÈLES STATIQUES NUMÉRIQUES

## Fonctionnement en interrupteur du transistor MOS



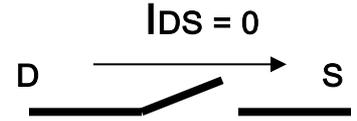
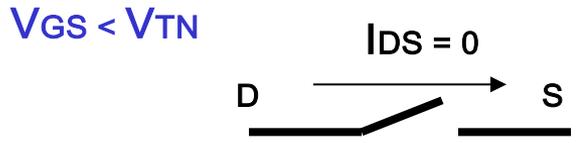
**V<sub>TN</sub> tension de seuil de TN ≈ 0,5 volt**

**V<sub>GS</sub> < V<sub>TP</sub>**



**V<sub>TP</sub> tension de seuil de TP ≈ - 0,5 volt**

**V<sub>GS</sub> > V<sub>TP</sub>**



# LES MODÈLES STATIQUES NUMÉRIQUES

G ——— D

S ————— S

Régime bloqué:  $V_{GS} < V_T$

**Interrupteur Ouvert**

G ——— D

S ————— S

Régime passant:  $V_{GS} \geq V_T$

**Interrupteur Fermé**

**MODELE ULTRA SIMPLE DU TRANSISTOR NMOS  
UTILISE EN NUMERIQUE:**

**LE MODELE INTERRUPTEUR**

# LES MODÈLES STATIQUES NUMÉRIQUES

G ——— D

S ————— S

Régime bloqué:  $V_{GS} > V_T$

**Interrupteur Ouvert**

G ——— D

S ————— S

Régime passant:  $V_{GS} \leq V_T$

**Interrupteur Fermé**

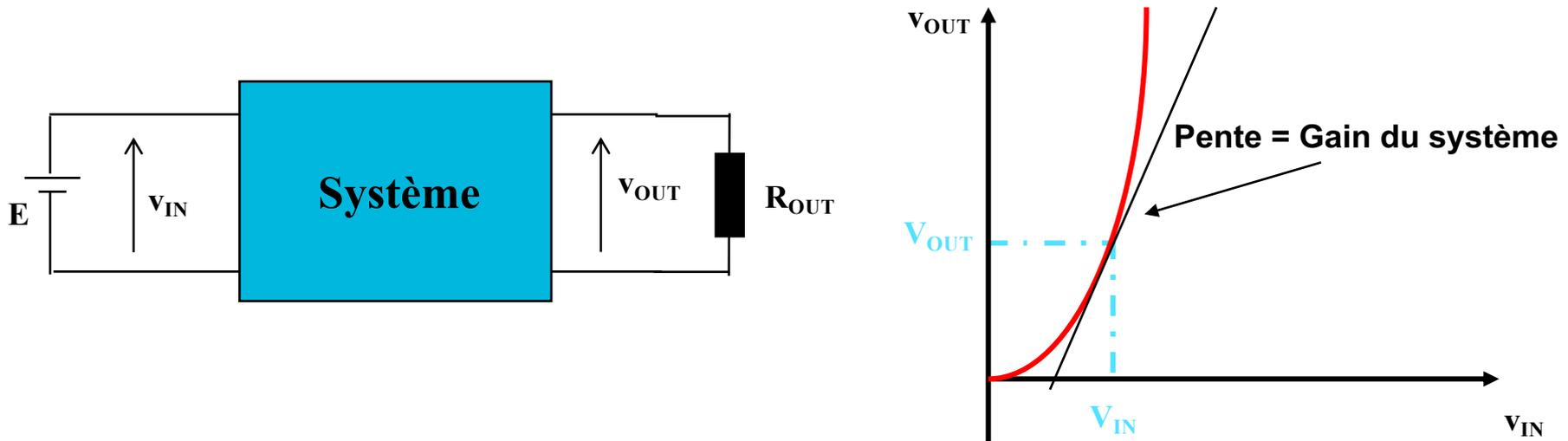
**MODELE ULTRA SIMPLE DU TRANSISTOR PMOS  
UTILISE EN NUMERIQUE:**

**LE MODELE INTERRUPTEUR**

- **Rappels et éléments de technologie**
- **Les modèles en fonctionnement statique**
- **Les modèles en fonctionnement dynamique**

# Le signal alternatif: le régime dynamique ou « petit signal »

## Systeme non linéaire

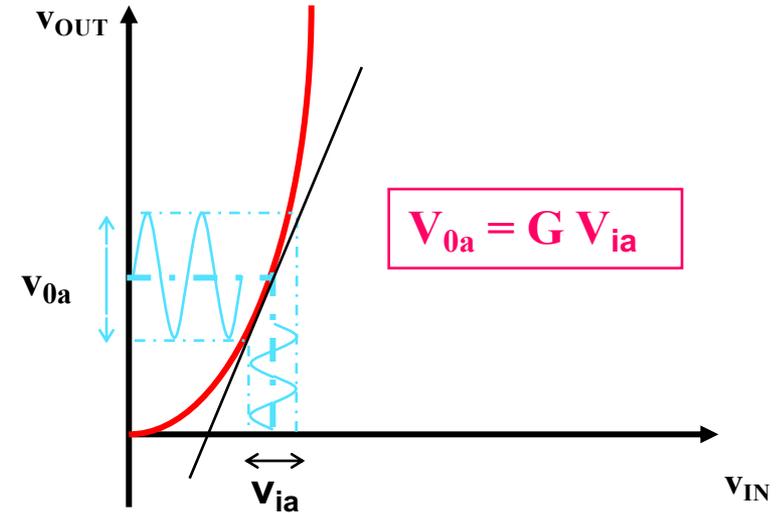
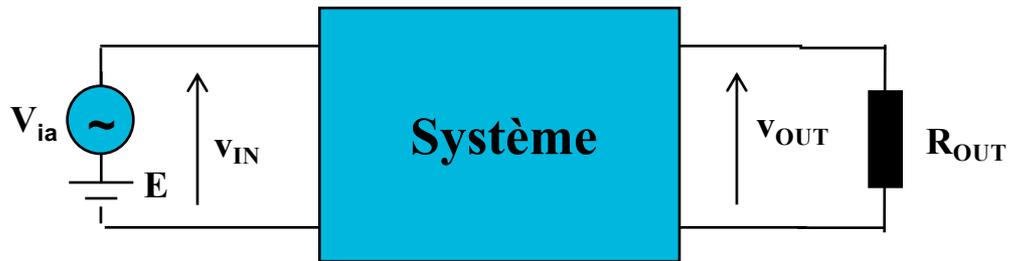


**1° ETAPE: Il faut fixer le point de polarisation**

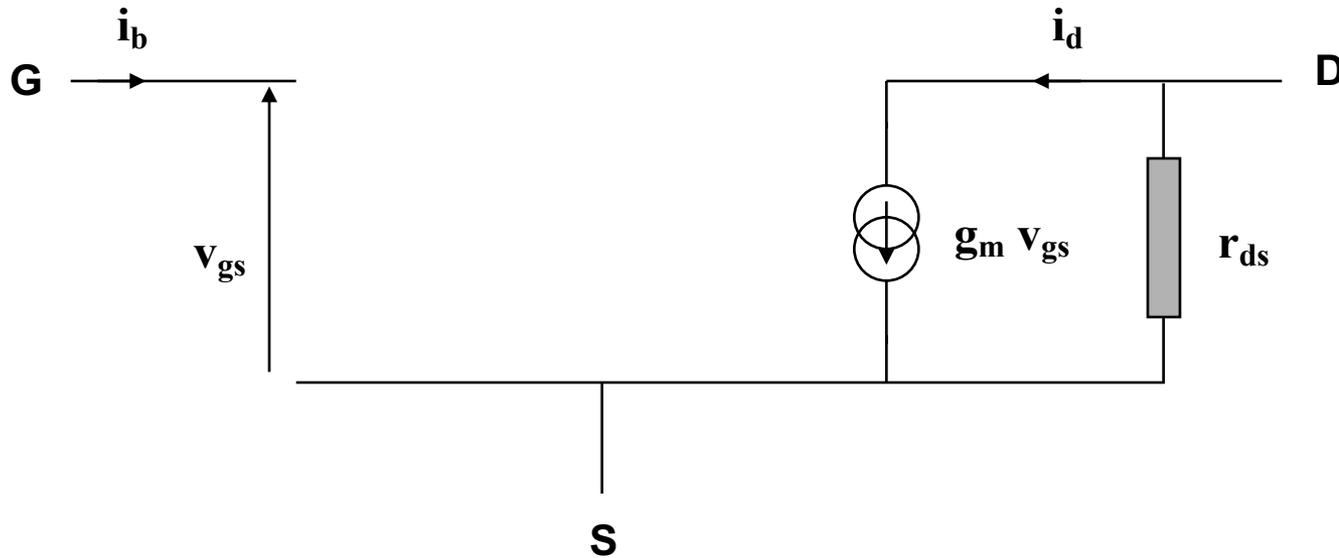
**rq: Le gain dépend du point de polarisation**

# Le signal alternatif: le régime dynamique ou « petit signal »

## Systeme non linéaire

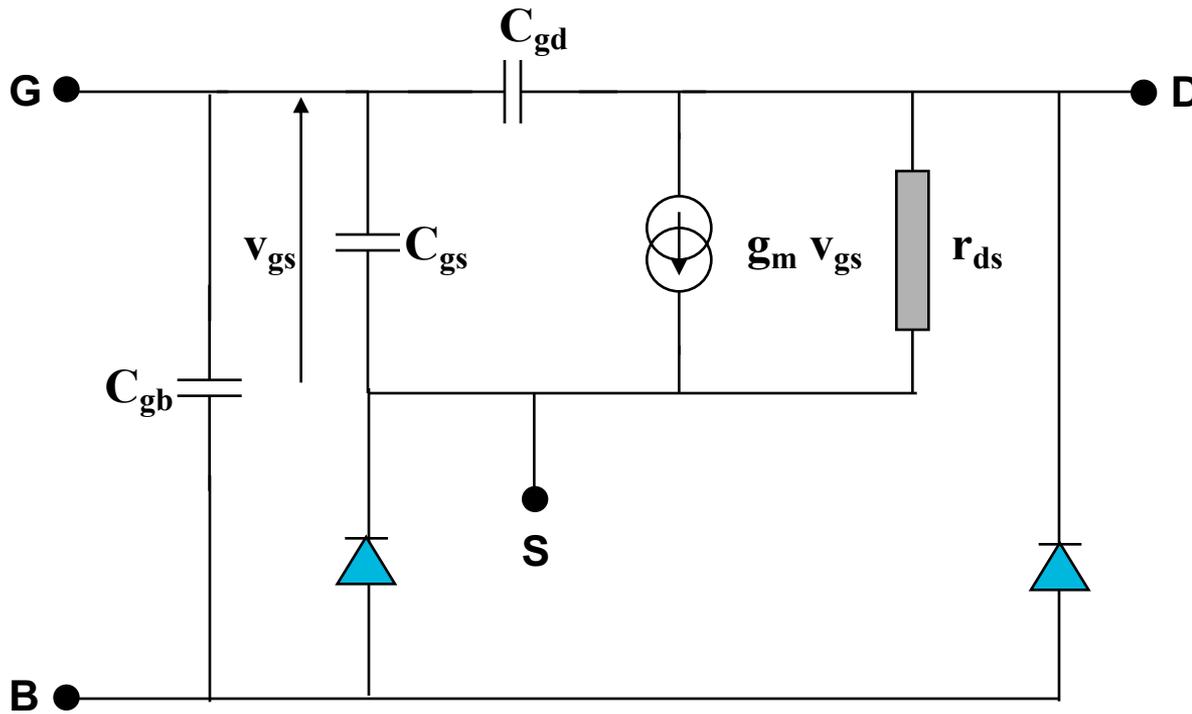
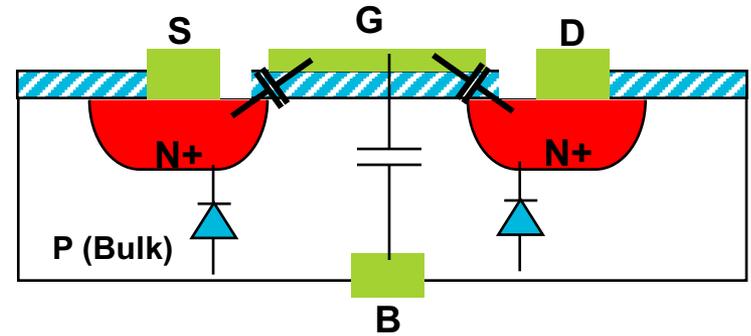


**2° ETAPE: Un signal variable (contenant « l'information ») se superpose**



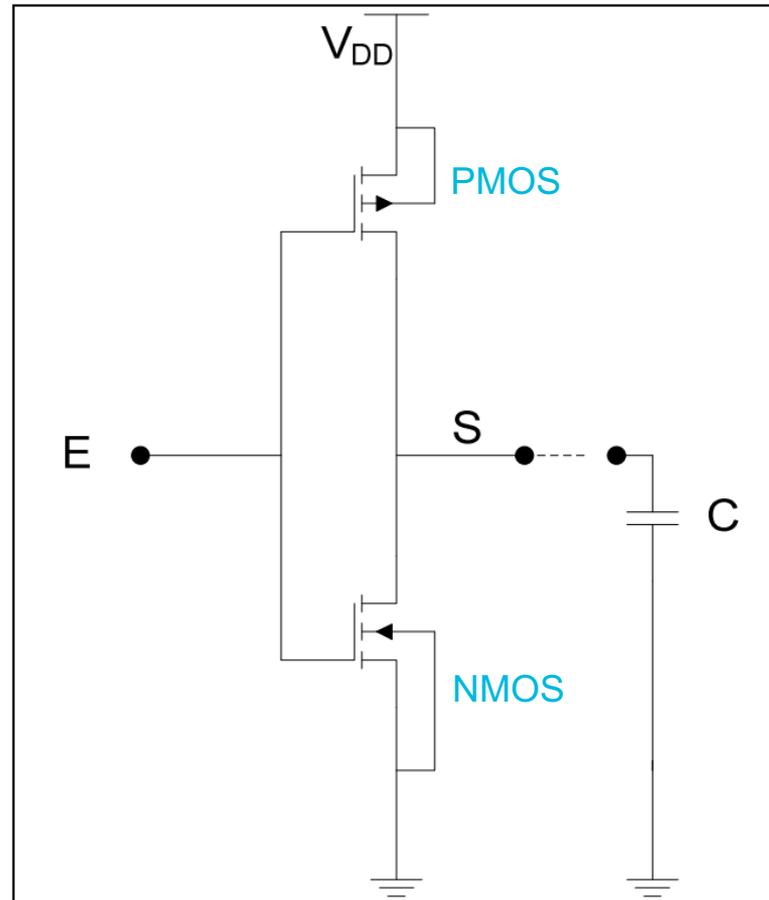
$$g_m = \text{transconductance} = \frac{\partial I_{DSAT}}{\partial V_{GS}} = \sqrt{2 \left( \mu_n C_{OX} \frac{W}{L} \right) I_{DSAT}}$$

$$r_{ds} = \text{résistance de modulation du canal} = \frac{1}{\lambda I_{DSAT}}$$



# Inverseur CMOS

$$V_{DD} = 5 \text{ V}$$
$$V_{TN} = 0.5 \text{ V}$$
$$V_{TP} = -0.5 \text{ V}$$



# Inverseur CMOS

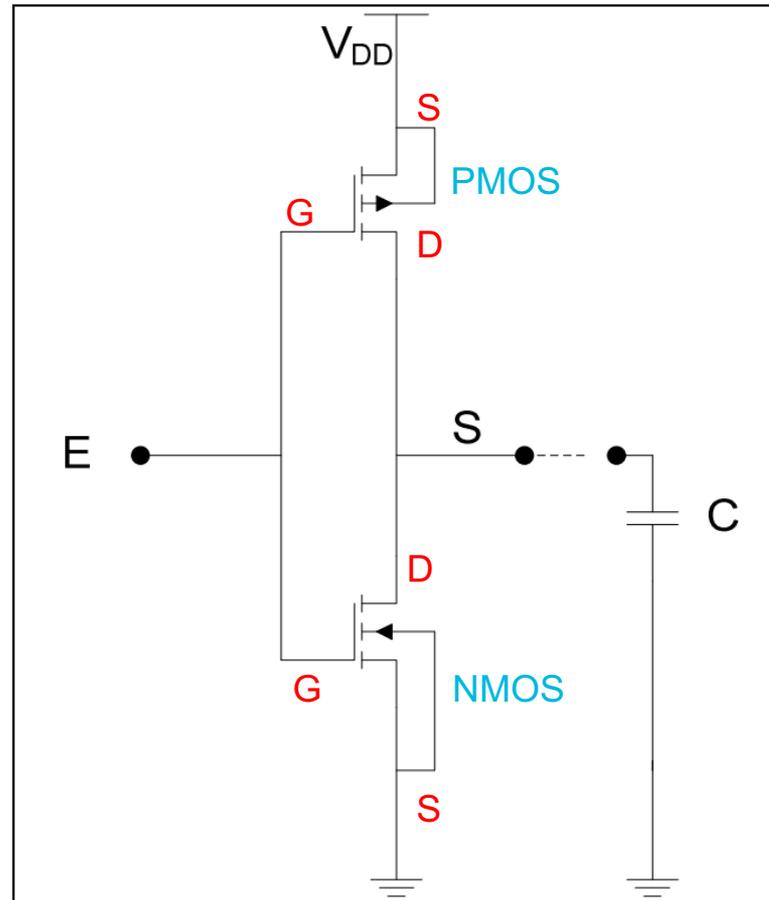
$$V_{DD} = 5 \text{ V}$$

$$V_{TN} = 0.5 \text{ V}$$

$$V_{TP} = -0.5 \text{ V}$$

$$\beta_N = 6 \cdot 10^{-3} \text{ A/V}^2$$

$$\beta_P = 2 \cdot 10^{-3} \text{ A/V}^2$$

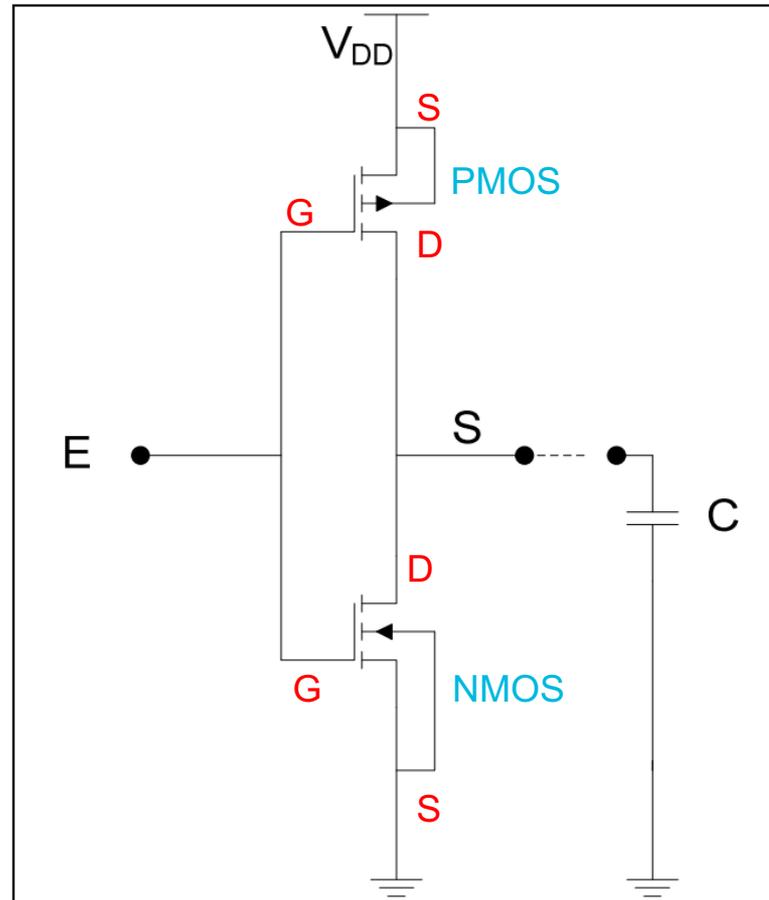


# Inverseur CMOS

$$V_{DD} = 5 \text{ V}$$

$$V_{TN} = 0.5 \text{ V}$$

$$V_{TP} = -0.5 \text{ V}$$



E	S
0	
1	

$$0 = \text{ground symbol}$$

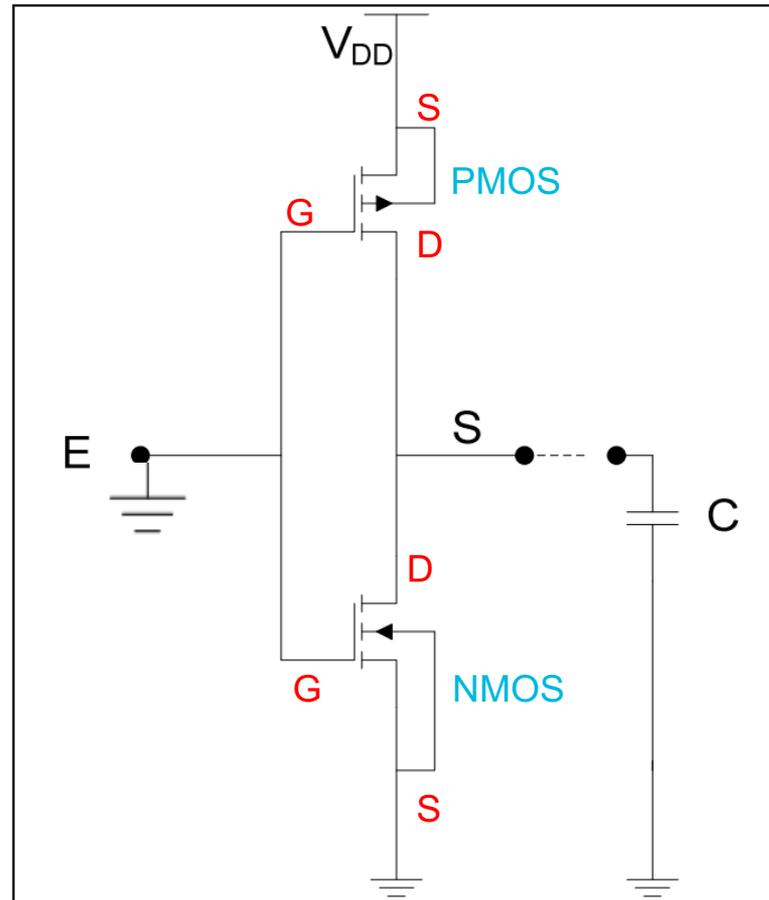
$$1 = V_{DD}$$

# Inverseur CMOS

$$V_{DD} = 5 \text{ V}$$

$$V_{TN} = 0.5 \text{ V}$$

$$V_{TP} = -0.5 \text{ V}$$



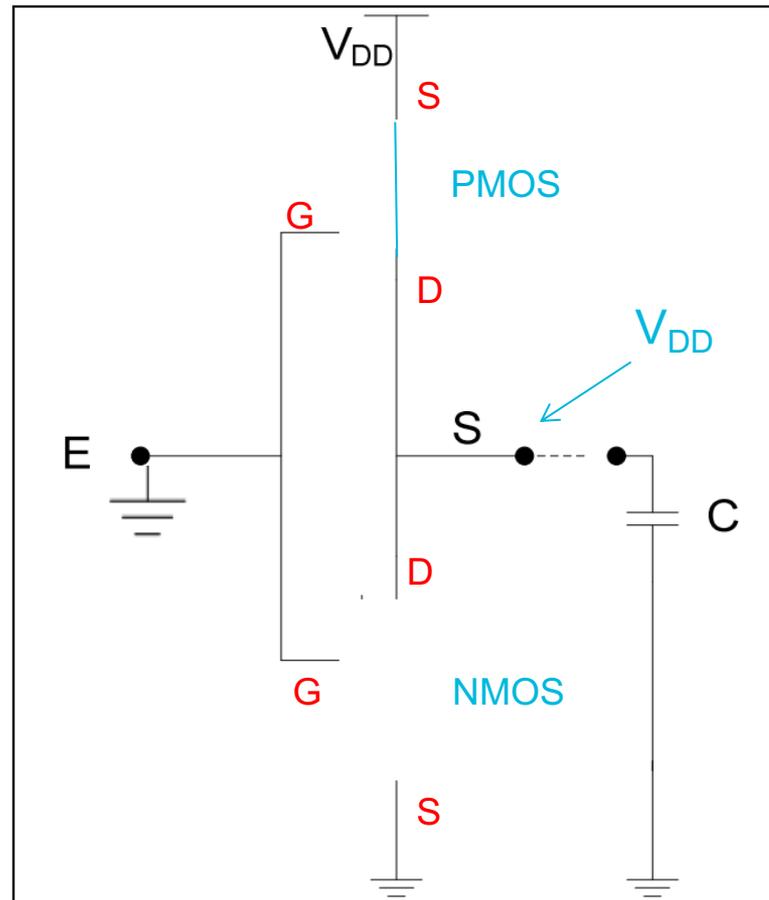
E	S
0	
1	

# Inverseur CMOS

$$V_{DD} = 5 \text{ V}$$

$$V_{TN} = 0.5 \text{ V}$$

$$V_{TP} = -0.5 \text{ V}$$



E	S
0	1
1	

NMOS  
 $V_{GS} < V_{TN} \Rightarrow \text{TOFF}$

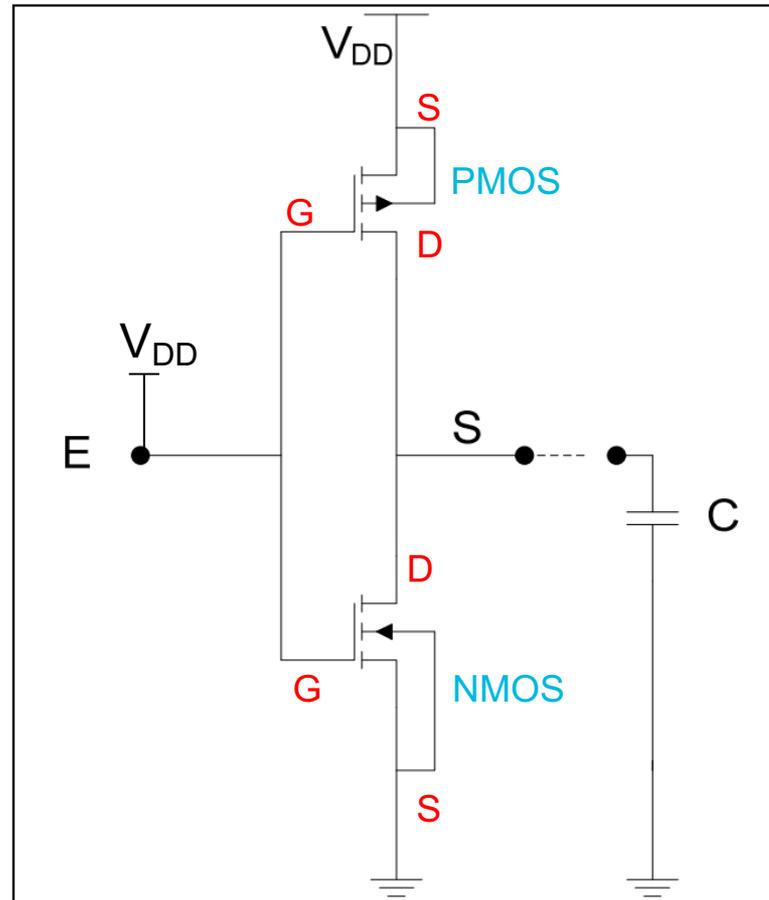
PMOS  
 $V_{GS} < V_{TP} \Rightarrow \text{TON}$

# Inverseur CMOS

$$V_{DD} = 5 \text{ V}$$

$$V_{TN} = 0.5 \text{ V}$$

$$V_{TP} = -0.5 \text{ V}$$



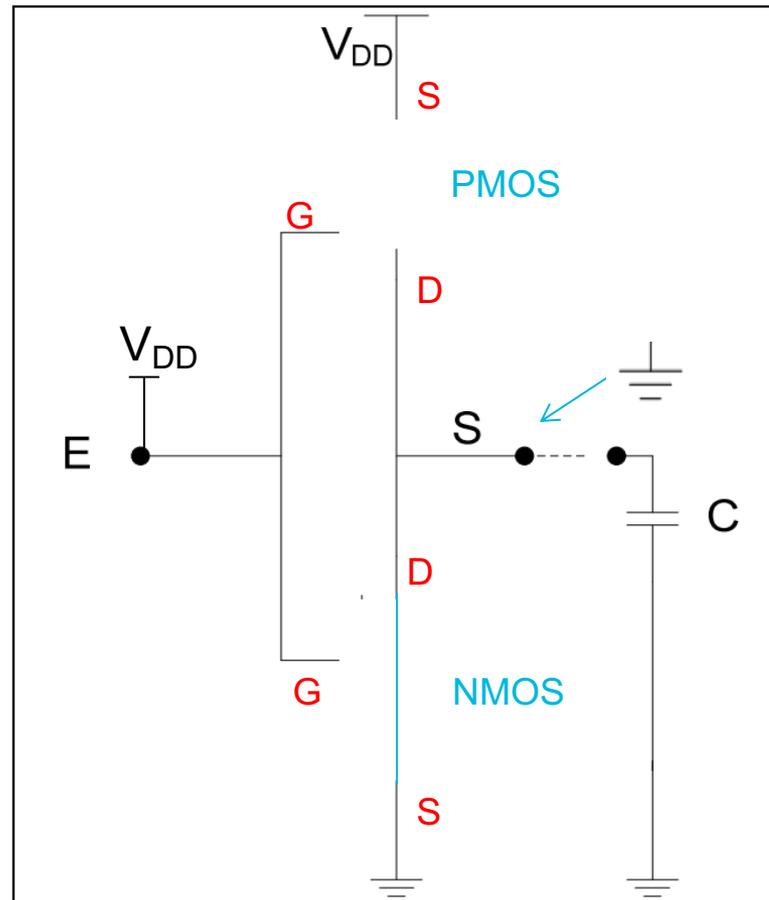
E	S
0	1
1	

# Inverseur CMOS

$$V_{DD} = 5 \text{ V}$$

$$V_{TN} = 0.5 \text{ V}$$

$$V_{TP} = -0.5 \text{ V}$$



E	S
0	1
1	0

NMOS  
 $V_{GS} > V_{TN} \Rightarrow \text{TON}$

PMOS  
 $V_{GS} > V_{TP} \Rightarrow \text{TOFF}$

