

Correction PC ELP111 n°8:
Synthèse CMOS de fonctions logiques et circuits combinatoires

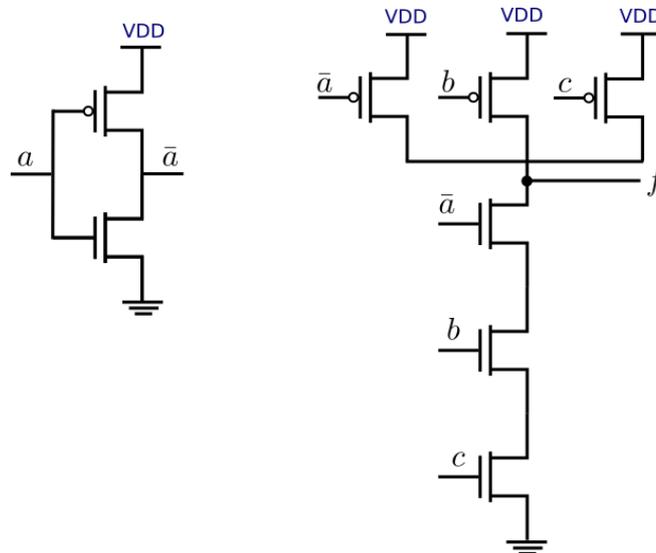
EXERCICE 1

1)

$$f = a + \overline{b \cdot c} = \overline{\overline{a} \cdot b \cdot c}$$

Il s'agit d'une NAND à 3 entrées (3 transistors N en série et 3 transistors P en parallèle) dont une des entrées (a) a été inversée.

F s'obtient avec 8 transistors.



2)

Le temps de propagation doit correspondre au temps de traversée du circuit le plus long (pire cas). Pour qu'il y ait temps de propagation, il faut qu'il y ait commutation à la sortie des opérateurs donc, soit 0 à 1 (lh) soit 1 à 0 (hl) et ainsi charge et décharge du condensateur équivalent à la sortie de l'opérateur.

Calculer T_{plh} pour f signifie que l'on cherche le temps le plus long entre la modification des entrées et son effet sur la sortie qui passe de 0 à 1. Pour calculer ce temps, on part de la sortie et on remonte dans le circuit. Ainsi, on a besoin d'une commutation de 0 à 1 en sortie de f , donc cela signifie une décharge de VDD vers la sortie de f à travers un transistor PMOS. Nous choisissons le transistor qui va contraindre le plus le temps de propagation. C'est donc le transistor PMOS qui est branché sur \bar{a} . \bar{a} va passer de 1 à 0 (hl) pour rendre le transistor PMOS passant.

Nous obtenons ainsi $T_{plh}(f)$:

$$\begin{aligned} T_{plh}(f) &= T_{phl}(\text{inv}) + T_{plh}(\text{NAND3}) = T_p + T_p \\ &= 2 T_p \end{aligned}$$

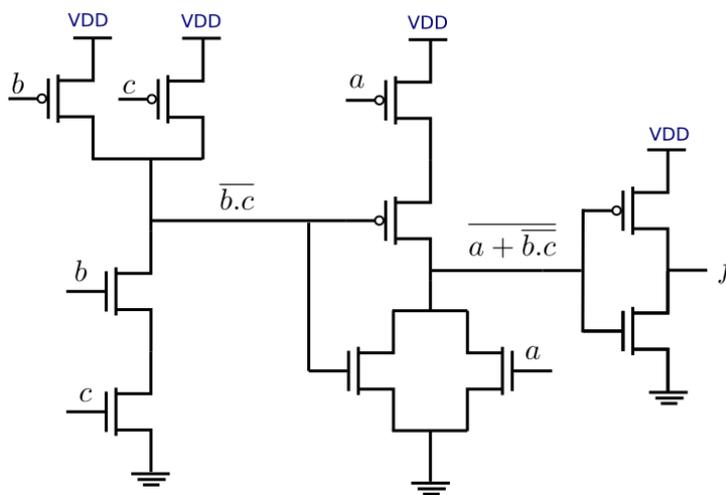
Le même raisonnement est appliqué pour le calcul de $T_{phl}(f)$:

$$T_{phl}(f) = T_{phl}(inv) + T_{phl}(NAND3) = 4 T_p$$

La sortie de la NAND3 passe de 1 à 0 à travers 3 transistors N en série. De plus, il est nécessaire de calculer \bar{a} en passant par l'inverseur CMOS.

3)

Il faut 4 transistors pour la fonction NAND (2 TN en série et 2 TP en //), puis 4 transistors pour la fonction NOR, puis 2 transistors pour l'inverseur, soit 10 T en tout, au lieu de 8 T pour la réalisation de la question 1.



Pour qu'il y ait temps de propagation, il faut qu'il y ait commutation en sortie des opérateurs. Donc pour calculer $T_{phl}(f)$, on considère tout d'abord l'opérateur situé à la sortie de f , c'est à dire l'inverseur. Pour obtenir lh en sortie de f , il nous faut lh en sortie de l'inverseur CMOS, soit $T_{phl}(inv)$. Ce qui signifie qu'en entrée de l'inverseur nous avons la commutation opposée c'est à dire hl. Soit $T_{phl}(NOR2)$. Enfin, il nous faut la commutation opposée sur l'entrée de la NOR2, c'est à dire la sortie de la NAND2, c'est à dire $T_{phl}(NAND2)$.

Nous obtenons ainsi :

$$T_{phl}(f) = T_{phl}(NAND2) + T_{phl}(NOR2) + T_{phl}(inv) = 3 T_p$$

Le même raisonnement est appliqué pour obtenir $T_{phl}(f)$:

$$T_{phl}(f) = T_{phl}(NAND2) + T_{phl}(NOR2) + T_{phl}(inv) = 5 T_p$$

EXERCICE 2

1) Quelle est la fonction $S(A,B)$ réalisée par le circuit suivant en technologie CMOS :

$$S(A,B) = \overline{(\overline{A.B}) + A}$$

2) Soit $T_p = T_{PLH} = T_{PHL}$ le temps de propagation à travers un inverseur symétrique. Quelles sont les valeurs T_{PLH} et T_{PHL} maximum de la fonction $S(A,B)$, réalisée avec des transistors identiques à ceux de l'inverseur, en fonction de T_p .

$T_{pLH} = 2T_p \Rightarrow$ correspond à $A=0$ et $B=0$, qui est le pire cas, le transistor branché sur \bar{A} n'est pas concerné par la commutation.

$T_{pHL} = 2T_p \Rightarrow$ pour obtenir la commutation en sortie, on part du cas précédent, c'est à dire $A=0$ et $B=0$ qui correspond à une sortie égale à 1, puis pour obtenir la sortie égale à 0, pour le pire cas, nous traversons 2 transistors NMOS en série, pour lesquels nous avons $\bar{A}=1$ et $B=1$. Cela signifie qu'il n'y pas de commutation sur A (qui reste égal à 0). Seul B commute de 0 à 1. Ainsi nous traversons 2 transistors NMOS en série pour permettre la décharge du condensateur équivalent (en sortie du circuit) et l'inverseur n'est pas concerné par la commutation.

3) Simplifier la fonction $S(A,B)$. Quelle est la porte logique équivalente ?

$$S = \overline{(A + \bar{A})(A + B)} = \overline{A + B} \quad (\text{distributivité du OU}) \Rightarrow \text{NOR 2 entrées}$$

4) Donner le circuit équivalent à cette porte logique en technologie CMOS.

2 Pmos en série et 2 Nmos en parallèle

EXERCICE 3

1) Comparer les encombrements de 2 multiplexeurs 2 vers 1, réalisés l'un en technologie CMOS avec interrupteurs, l'autre sans interrupteurs.

Cf. slide 28 du cours 4 pour la réalisation sans interrupteur. 12 T

Cf. slide 34 du cours 4 pour la réalisation avec interrupteur. 6 T

2) Pourquoi ne peut-on mettre en série des opérateurs réalisés avec interrupteurs?

Avec des interrupteurs, l'entrée et la sortie sont reliées, il n'y a pas d'isolation. Le bruit présent sur le signal d'entrée se répercute sur le signal de sortie. Sans interrupteurs, il y a régénération du signal et isolation de la sortie vis-à-vis du bruit présent sur le signal d'entrée. L'intégrité du signal est donc préservée.