



IMT Atlantique

Bretagne-Pays de la Loire

École Mines-Télécom

ELP111

COURS 4

ASPECTS

**TECHNOLOGIQUES DES
CIRCUITS NUMÉRIQUES**

Fabrice Seguin, Charlotte Langlais

Département Électronique

Année 2019-2020

ASPECTS TECHNOLOGIQUES DES CIRCUITS NUMÉRIQUES

Rappels sur la technologie MOS algébrique (application des propriétés logiques)

Etude de l'inverseur CMOS

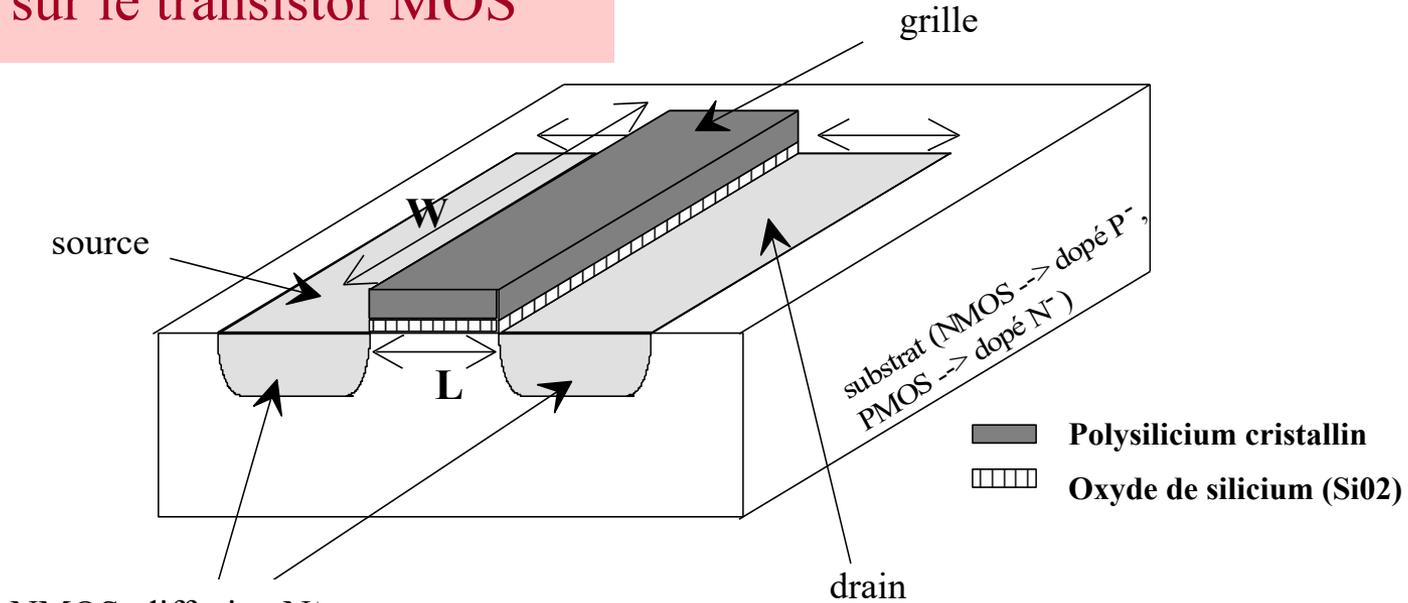
Construction des fonctions combinatoires en logique CMOS

ASPECTS TECHNOLOGIQUES DES CIRCUITS NUMÉRIQUES

Rappels sur la technologie MOS algébrique (application des propriétés logiques)

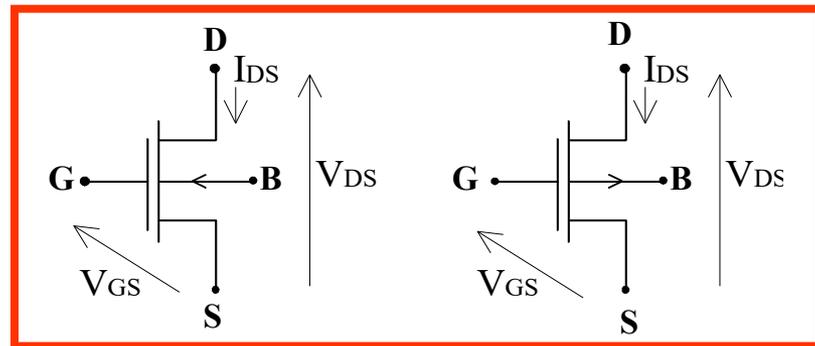
RAPPELS SUR LA TECHNOLOGIE MOS

Rappel sur le transistor MOS



NMOS: diffusion N⁺

PMOS: diffusion P⁺



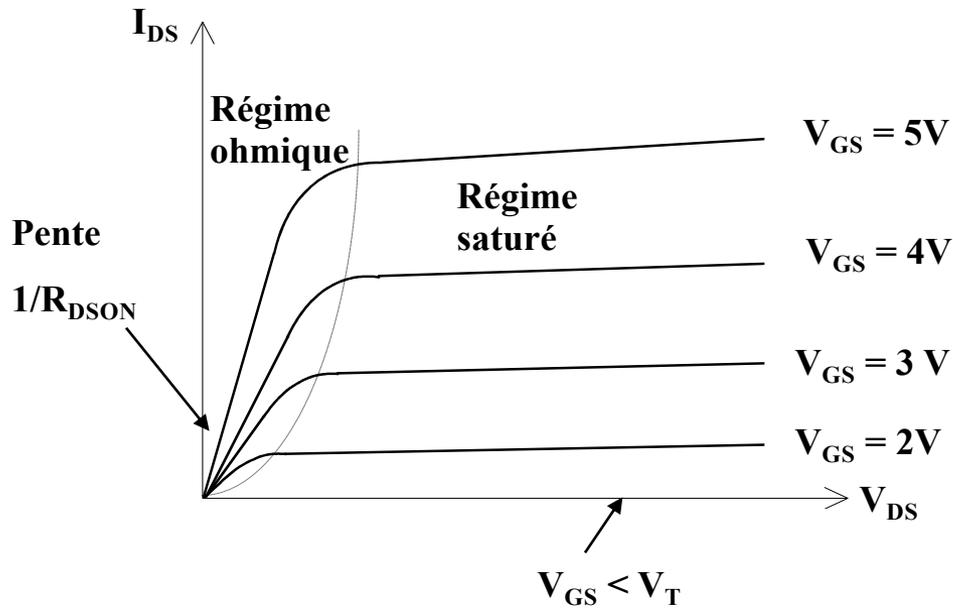
Type N

Type P

Représentation symbolique des transistors MOS

RAPPELS SUR LA TECHNOLOGIE MOS

Le transistor nMOS



V_{TN} = tension de seuil

$$\beta_N = \mu_{ns} C_{ox} W/L$$

$$R_{DSON} = 1/\beta_N (V_{GS} - V_{TN})$$

Régime bloqué:

$V_{GS} < V_{TN}$ (isolation électrique entre drain et source)

Régime passant:

$V_{GS} > V_{TN}$

si $V_{DS} < V_{GS} - V_{TN}$ régime ohmique

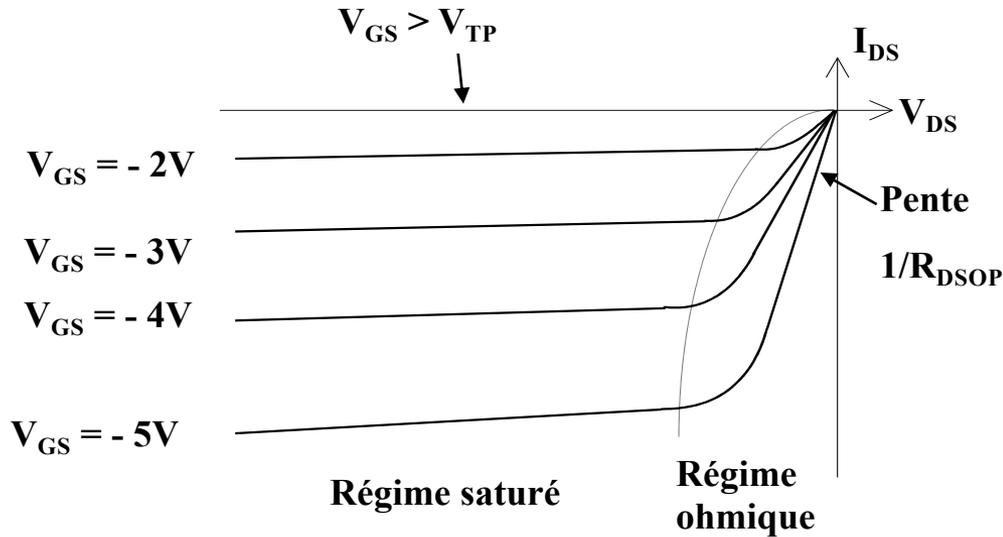
$$I_{DS} = \beta_N (V_{GS} - V_{TN} - V_{DS}/2) V_{DS}$$

si $V_{DS} > V_{GS} - V_{TN}$ régime saturé

$$I_{DS} = \frac{1}{2} \beta_N (V_{GS} - V_{TN})^2$$

RAPPELS SUR LA TECHNOLOGIE MOS

Le transistor pMOS



Régime bloqué:

$V_{GS} > V_{TP}$ (isolation électrique entre drain et source)

Régime passant:

$V_{GS} < V_{TP}$

si $V_{DS} > V_{GS} - V_{TP}$ régime ohmique

$$I_{DS} = -\beta_P (V_{GS} - V_{TP} - V_{DS}/2) V_{DS}$$

si $V_{DS} < V_{GS} - V_{TP}$ régime saturé

$$I_{DS} = -\frac{1}{2} \beta_P (V_{GS} - V_{TP})^2$$

V_{TP} = tension de seuil

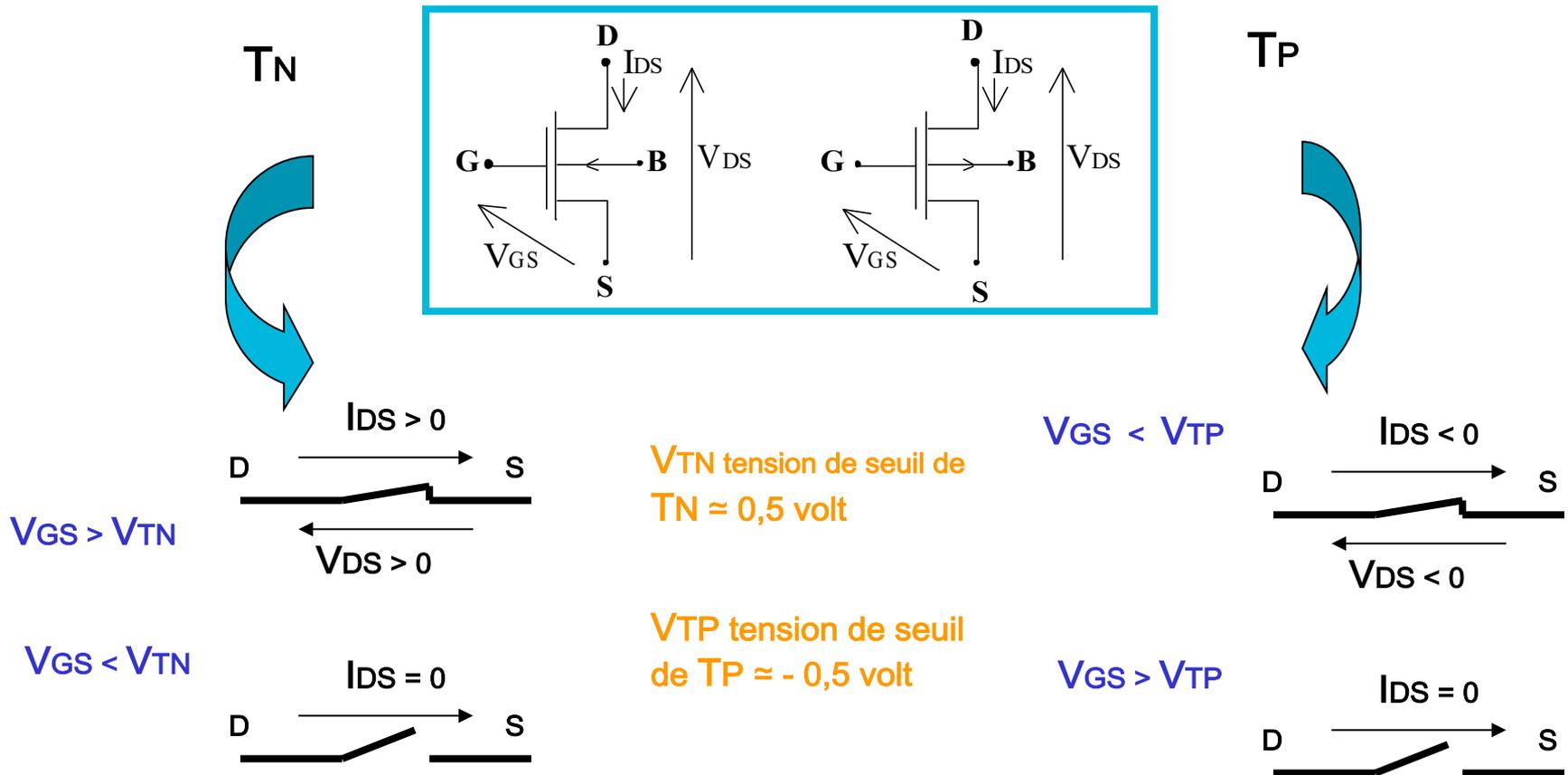
$$\beta_P = \mu_{ps} C_{ox} W/L$$

$$R_{DSOP} = -1/\beta_P (V_{GS} - V_{TP})$$

$$\mu_{ns} \approx 3 \mu_{ps}$$

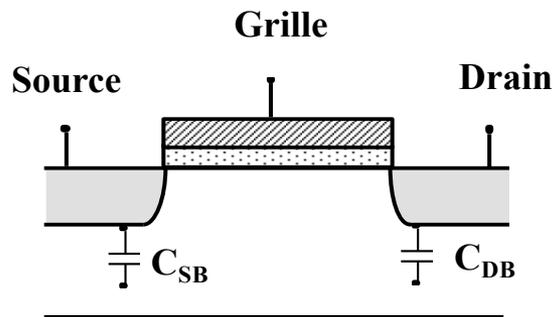
RAPPELS SUR LA TECHNOLOGIE MOS

Fonctionnement en interrupteur du transistor MOS



RAPPELS SUR LA TECHNOLOGIE MOS

Capacités parasites du transistor MOS



Les capacités parasites influent sur les performances dynamiques des opérateurs

Elles sont de deux sortes:

- la capacité de grille

$$C_G \approx W L C_{ox}$$

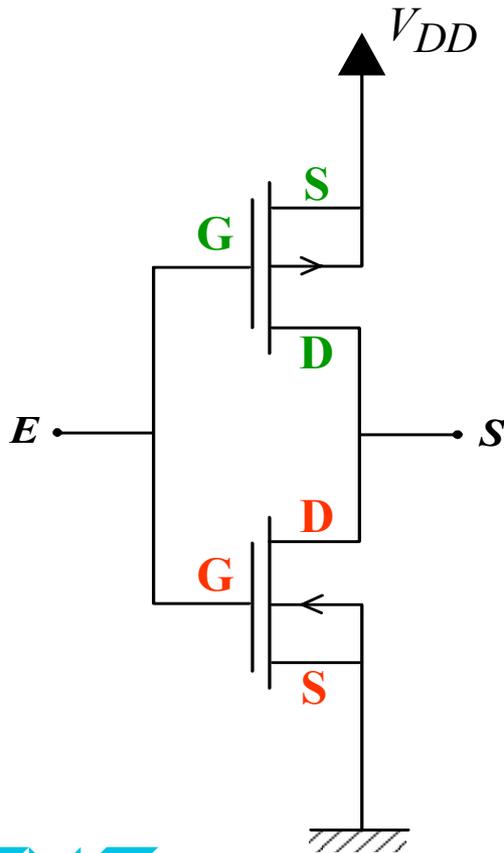
- les capacités des jonctions source-substrat et drain-substrat

ASPECTS TECHNOLOGIQUES DES CIRCUITS NUMÉRIQUES

Etude de l'inverseur CMOS (cf .également PC1)

ETUDE DE L'INVERSEUR CMOS

Assemblage d'un transistor n et d'un transistor p pour remplir les fonctions logiques

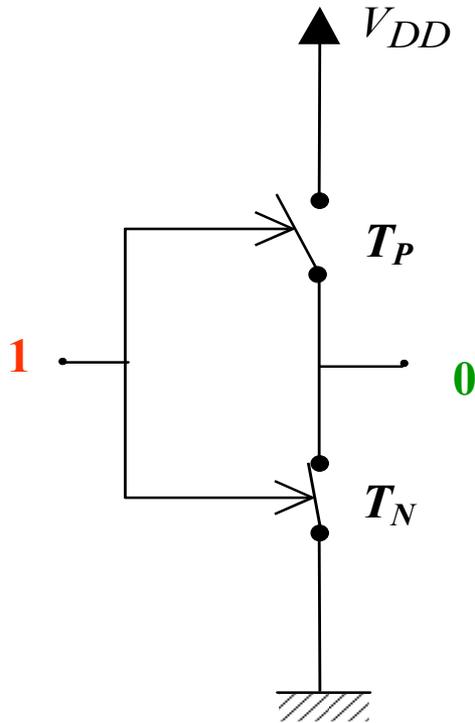


-Association d'un transistor NMOS et d'un transistor PMOS

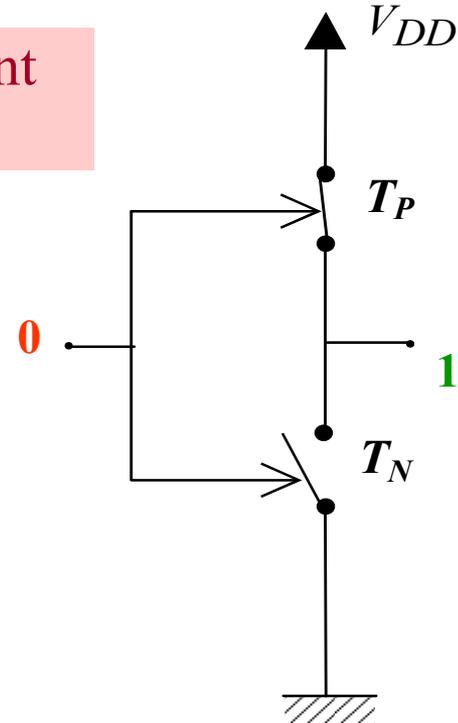
-La sortie S est isolée électriquement de l'entrée.

-Etude du fonctionnement en utilisant le modèle « interrupteur » du transistor MOS

ETUDE DE L'INVERSEUR CMOS



Fonctionnement
logique



- "1" logique sur l'entrée de l'inverseur :

- T_N passant

- T_P bloqué

=> 0 en sortie

- "0" logique sur l'entrée de l'inverseur :

- T_N bloqué

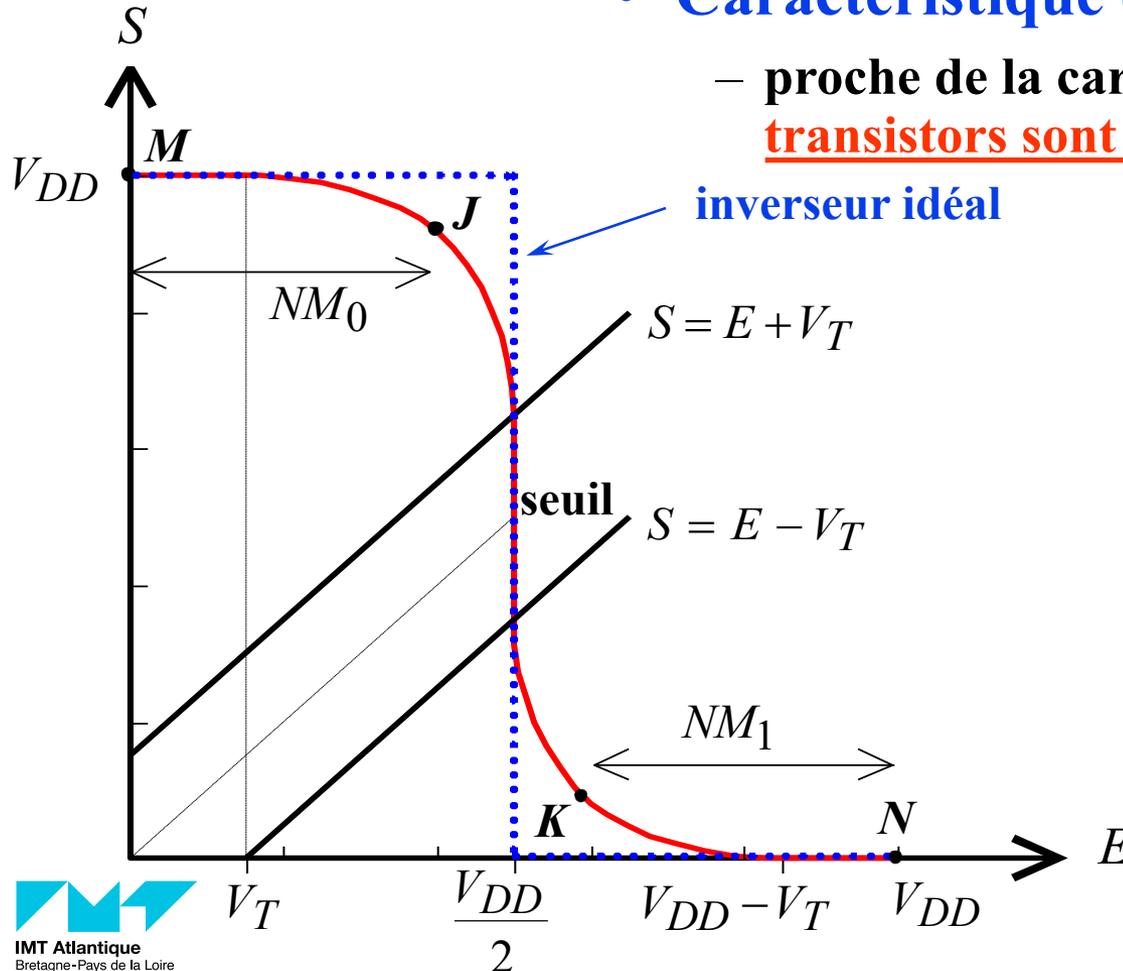
- T_P passant

=> 1 en sortie

Performances statiques de l'inverseur CMOS (1)

- **Caractéristique de transfert**

- proche de la caractéristique idéale si les transistors sont électriquement symétriques



inverseur idéal

$$S = E + V_T$$

$$S = E - V_T$$

$$V_{TN} = -V_{TP} = V_T$$
$$\beta_N = \beta_P$$

ETUDE DE L'INVERSEUR CMOS

Performances statiques de l'inverseur CMOS (2)

□ Points de fonctionnement

- M (V_{SS} , V_{DD}) et N (V_{DD} , V_{SS})
- Niveaux haut et bas indépendants de R_{DS0} , donc de β

□ Marges de bruits

$$NM_0 = NM_1 = \frac{3V_{DD} + 2V_T}{8}$$

marges de bruit
symétriques

A. N. pour $V_{DD} = 1,8 \text{ V}$ $V_T = 0,5 \text{ V}$

$$NM_0 = NM_1 \# 0,8 \text{ V}$$

□ Consommation statique

– $E = V_{SS}$, T_N bloqué $\Rightarrow I_{DS} = 0 \Rightarrow P_1 = 0$

– $E = V_{DD}$, T_P bloqué $\Rightarrow I_{DS} = 0 \Rightarrow P_0 = 0$

$$P_{stat} = 0$$

ETUDE DE L'INVERSEUR CMOS

Performances dynamiques de l'inverseur CMOS

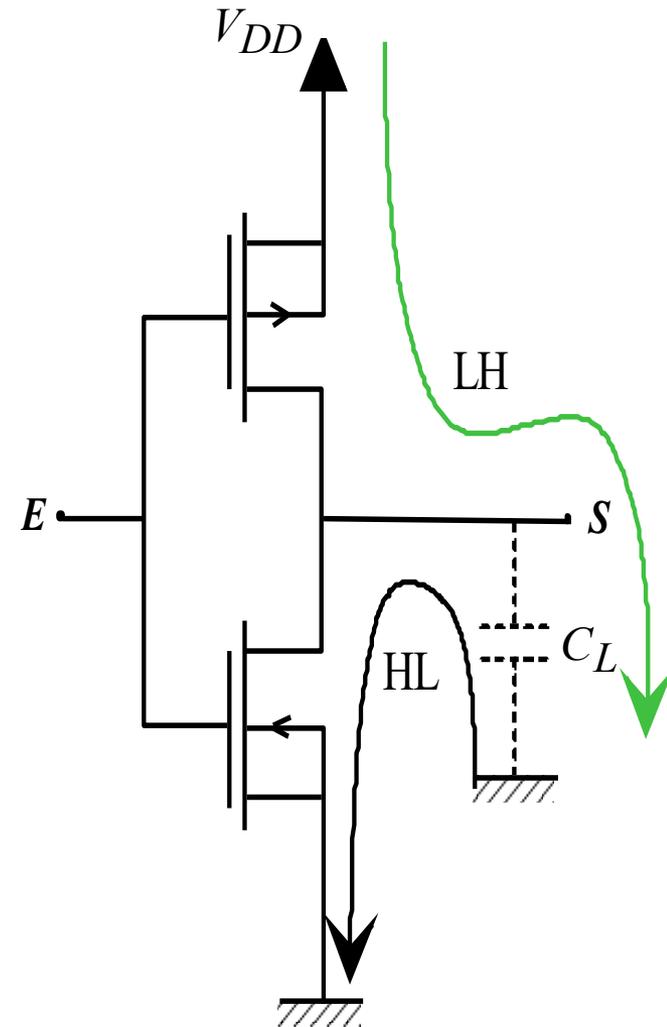
C_L modélise les effets capacitifs
vus par l'inverseur

- Il y a consommation pendant les transitions *LH* de *S* (charge de C_L) :

$$P_{dyn} = f V_{DD}^2 C_L$$

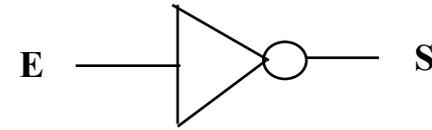
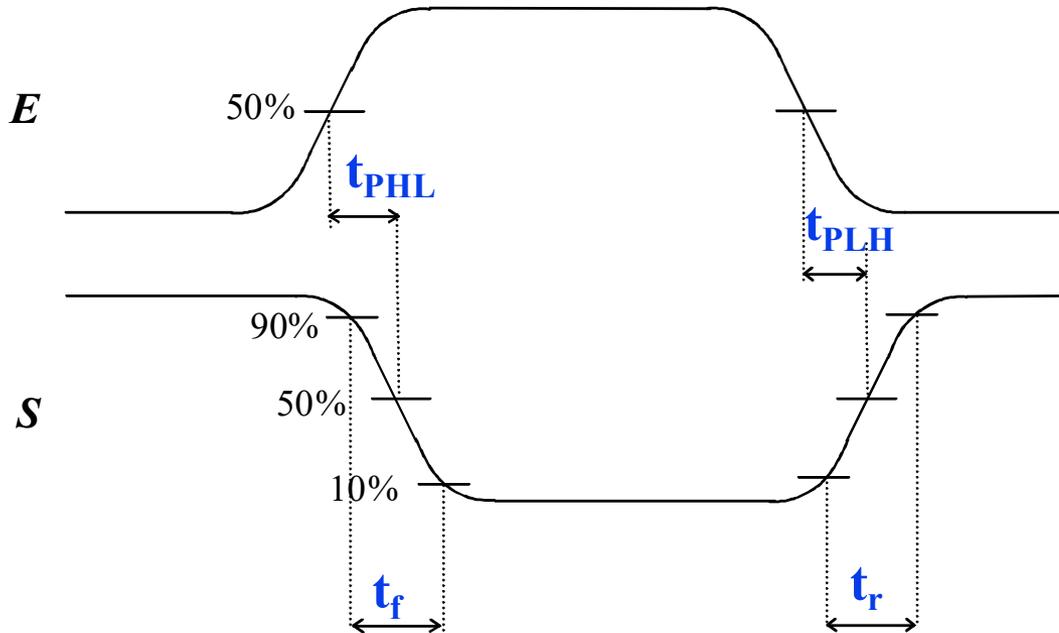
- Consommation totale

$$P_{tot} = P_{dyn} = f V_{DD}^2 C_L$$



ETUDE DE L'INVERSEUR CMOS

Caractéristiques dynamiques de l'inverseur CMOS (1)



Sur la sortie:

t_f : temps de descente

t_r : temps de montée

Entre E et S:

t_{PLH} : temps de propagation lorsque S passe de 0 (Low) à 1 (High)

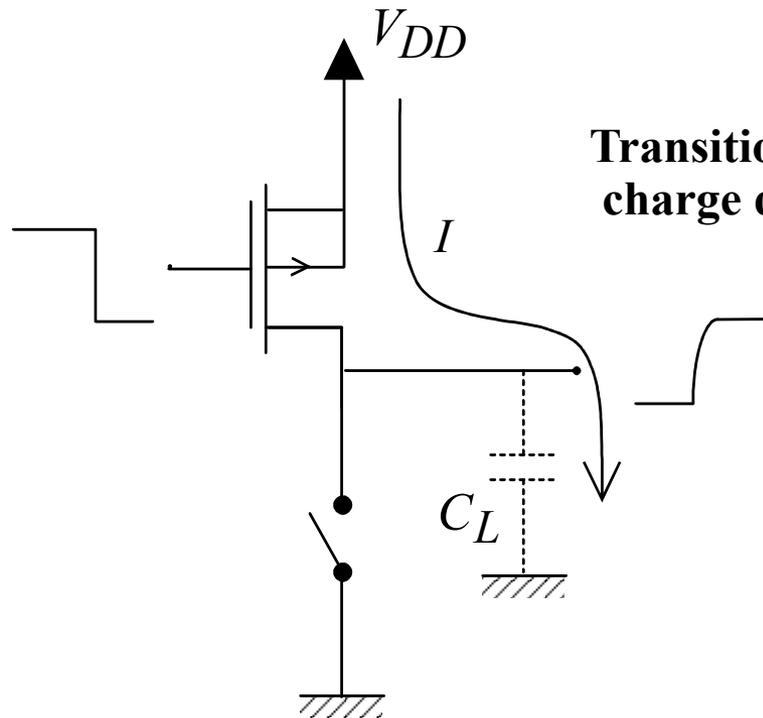
t_{PHL} : temps de propagation lorsque S passe de 1 à 0

$$t_p = 1/2 (t_{PLH} + t_{PHL})$$

ETUDE DE L'INVERSEUR CMOS

Caractéristiques dynamiques de l'inverseur CMOS (2)

Calcul de t_r et t_{pLH}



Transition *LH* (en sortie) :
charge de C_L à travers TP

$$t_r \approx 3R_{DS0P}C_L \approx \ln 9 R_P C_L$$

$$t_{pLH} \approx t_r / 2$$

où
$$R_{DS0P} = \frac{1}{\beta_P (V_{DD} + V_{TP})}$$

A. N. $\beta_P = 300 \mu\text{A}/\text{V}^2$ $V_{TP} = -0,5 \text{ V}$ $C_L = 50 \text{ fF}$

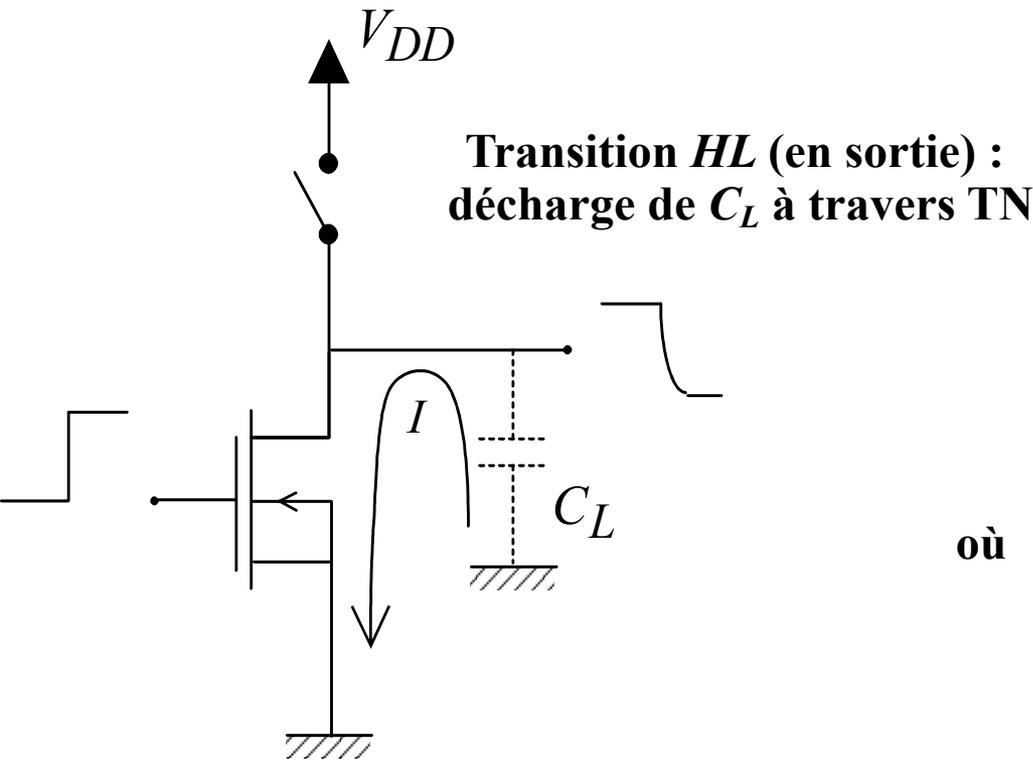
$t_r \# 110 \text{ ps}$

$t_{pLH} \# 50 \text{ ps}$

ETUDE DE L'INVERSEUR CMOS

Caractéristiques dynamiques de l'inverseur CMOS (3)

Calcul de t_f et t_{pHL} (Même calcul que pour l'inverseur NMOS)



$$t_f \approx 3R_{DS0N}C_L \approx \ln 9 R_N C_L$$

$$t_{pHL} \approx t_f / 2$$

où
$$R_{DS0N} = \frac{1}{\beta_N (V_{DD} - V_{TN})}$$

A. N. Si $\beta_N = \beta_P \Rightarrow t_r = t_f$ et $t_{pLH} = t_{pHL}$

ETUDE DE L'INVERSEUR CMOS

Caractéristiques dynamiques de l'inverseur CMOS (4)

Calcul du rapport t_r/t_f

- Du point de vue **du temps de descente**, le transistor NMOS se comporte comme une résistance R_N de valeur $R_N \sim R_{DS0N}$
- Du point de vue **du temps de montée**, le transistor PMOS se comporte comme une résistance R_P de valeur $R_P \sim R_{DS0P}$

$$R_{DS0} = \frac{1}{\beta(V_{DD} - |V_T|)}, \quad \beta = \mu_s C_{ox} \frac{W}{L}$$

$$\text{– Si } V_{TP} = -V_{TN} \quad \frac{t_r}{t_f} = \frac{R_P}{R_N} = \frac{\beta_N}{\beta_P} = \frac{\mu_{Ns} W_N L_P}{\mu_{Ps} W_P L_N}$$

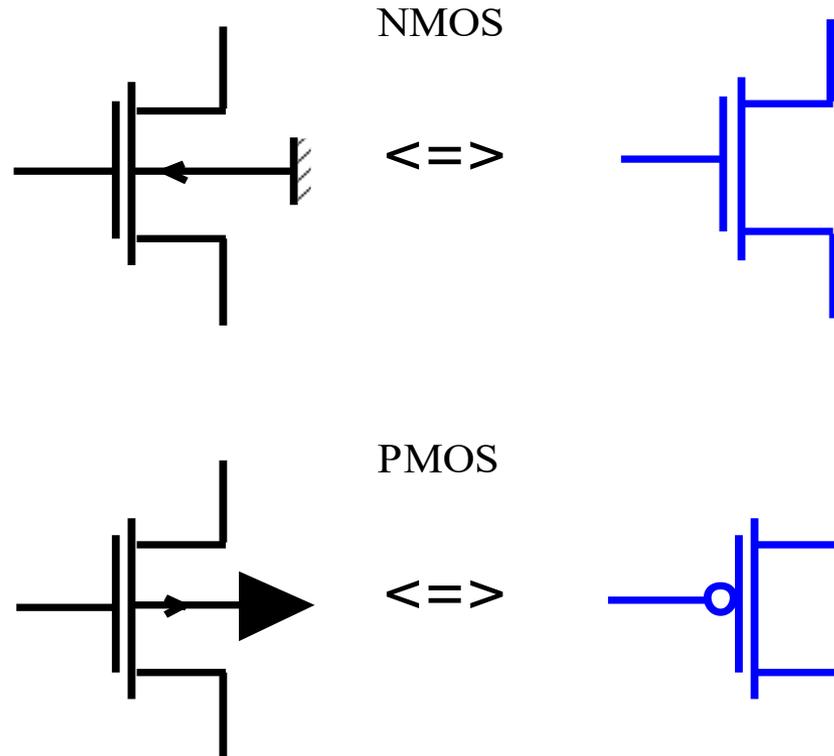
$$\text{– Si } L_N = L_P = L_{min}$$

$$\frac{t_r}{t_f} = \frac{R_P}{R_N} \approx 3 \frac{W_N}{W_P}$$

ETUDE DE L'INVERSEUR CMOS

Autres notations

Représentation simplifiée des transistors MOS dans les schémas CMOS



Construction des fonctions combinatoires en logique CMOS

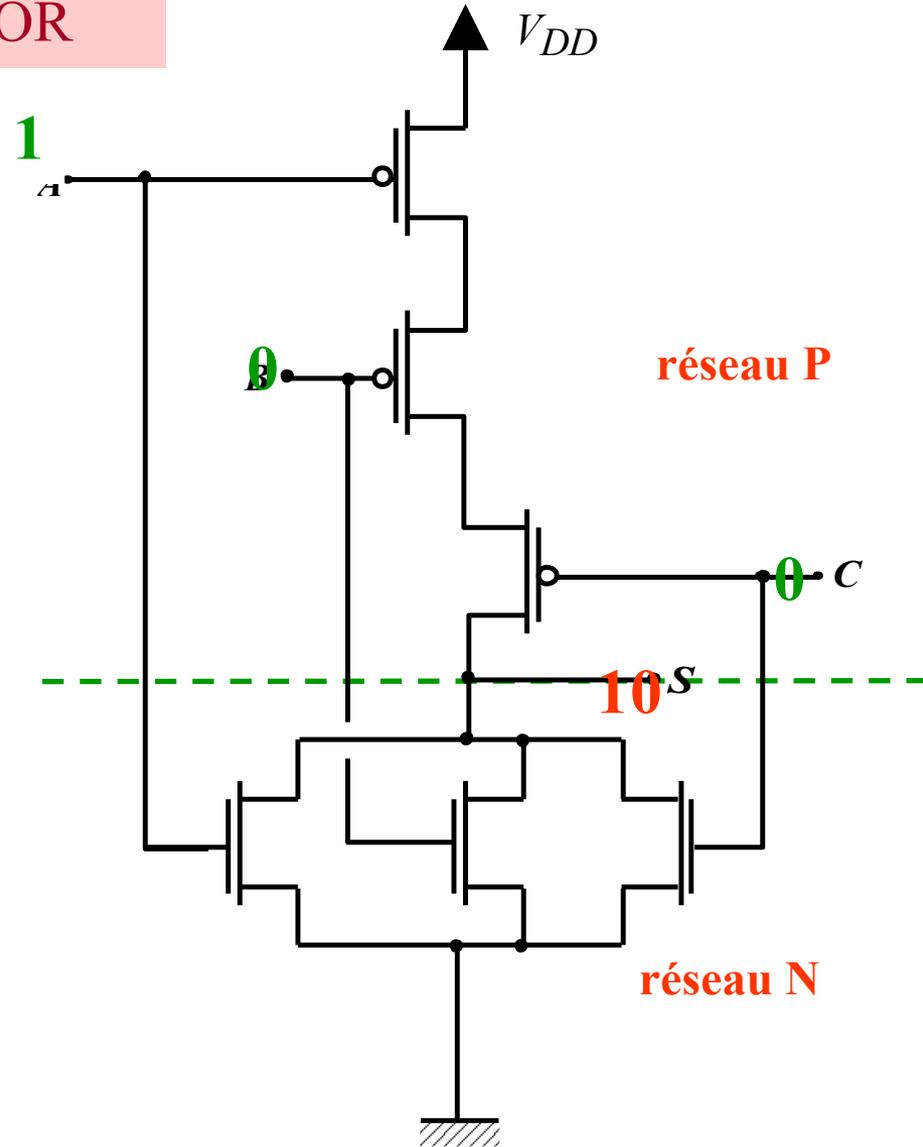
CONSTRUCTION DE FONCTIONS COMBINATOIRES EN LOGIQUE CMOS

Opérateurs CMOS élémentaires : NOR

Exemple de NOR à 3 entrées

A	B	S
0	0	1
0	1	0
1	0	0
1	1	0

- $A = 1$ ou $B = 1$ ou $C = 1$
=> réseau N passant,
réseau P bloqué
=> 0 en sortie



Synthèse au niveau transistor ou au niveau portes ?

Deux approches sont possibles pour construire une fonction logique complexe

1- Utilisation d'une bibliothèque de portes élémentaires (INV, NAND, NOR, ...)

» pas besoin de connaître la structure des portes

2- Synthèse directe au niveau transistor

» blocs logiques moins encombrants et plus rapides

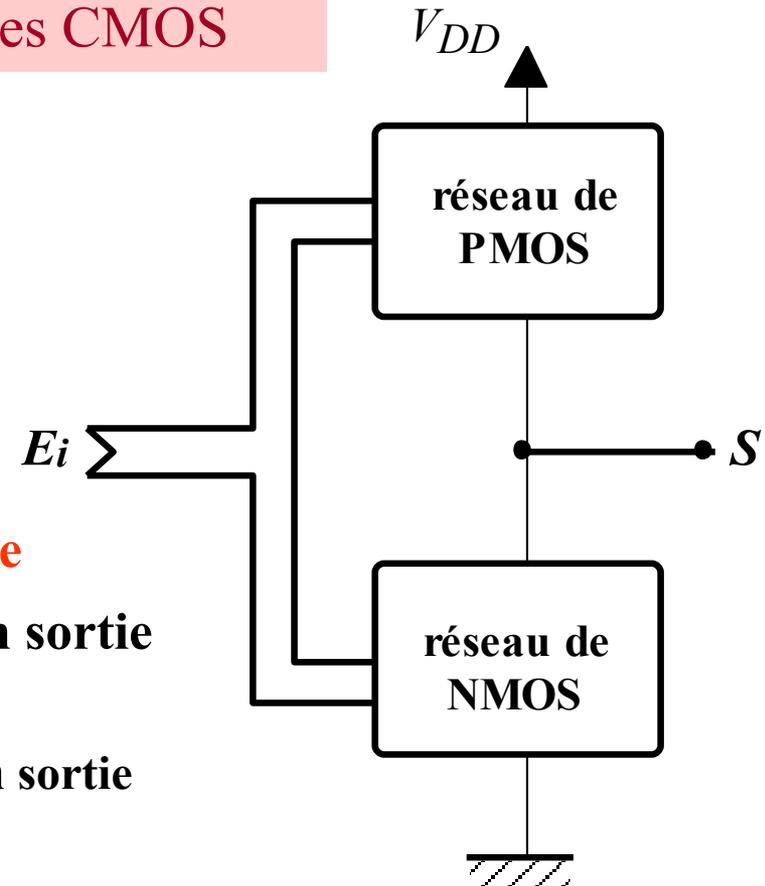
 **⇒ dépend de l'outil de conception utilisé**

IMT Atlantique
Bretagne-Pays de la Loire
École Mines-Télécom

CONSTRUCTION DE FONCTIONS COMBINATOIRES EN LOGIQUE CMOS

Structure générale des opérateurs statiques CMOS

- Un seul des réseaux doit être passant
=> même nombre de NMOS et de PMOS
=> structures des 2 réseaux **duales**
- Fonction obtenue sous forme **complémentée**
 - **NMOS** : transmission d'un 0 logique en sortie lorsqu'un 1 est appliqué sur sa grille
 - **PMOS** : transmission d'un 1 logique en sortie lorsqu'un 0 est appliqué sur sa grille



Méthode de construction des opérateurs statiques CMOS

Si f est un complément \Rightarrow synthèse directe

Sinon, synthèse de \bar{f} et faire suivre d'un inverseur

- Construction du réseau NMOS

- placer les transistors N

- » en **serie** pour réaliser les fonctions **ET**

- » en **parallèle** pour réaliser les fonctions **OU**

- Construction du réseau PMOS

- placer les transistors P

- » en **parallèle** pour réaliser les fonctions **ET**

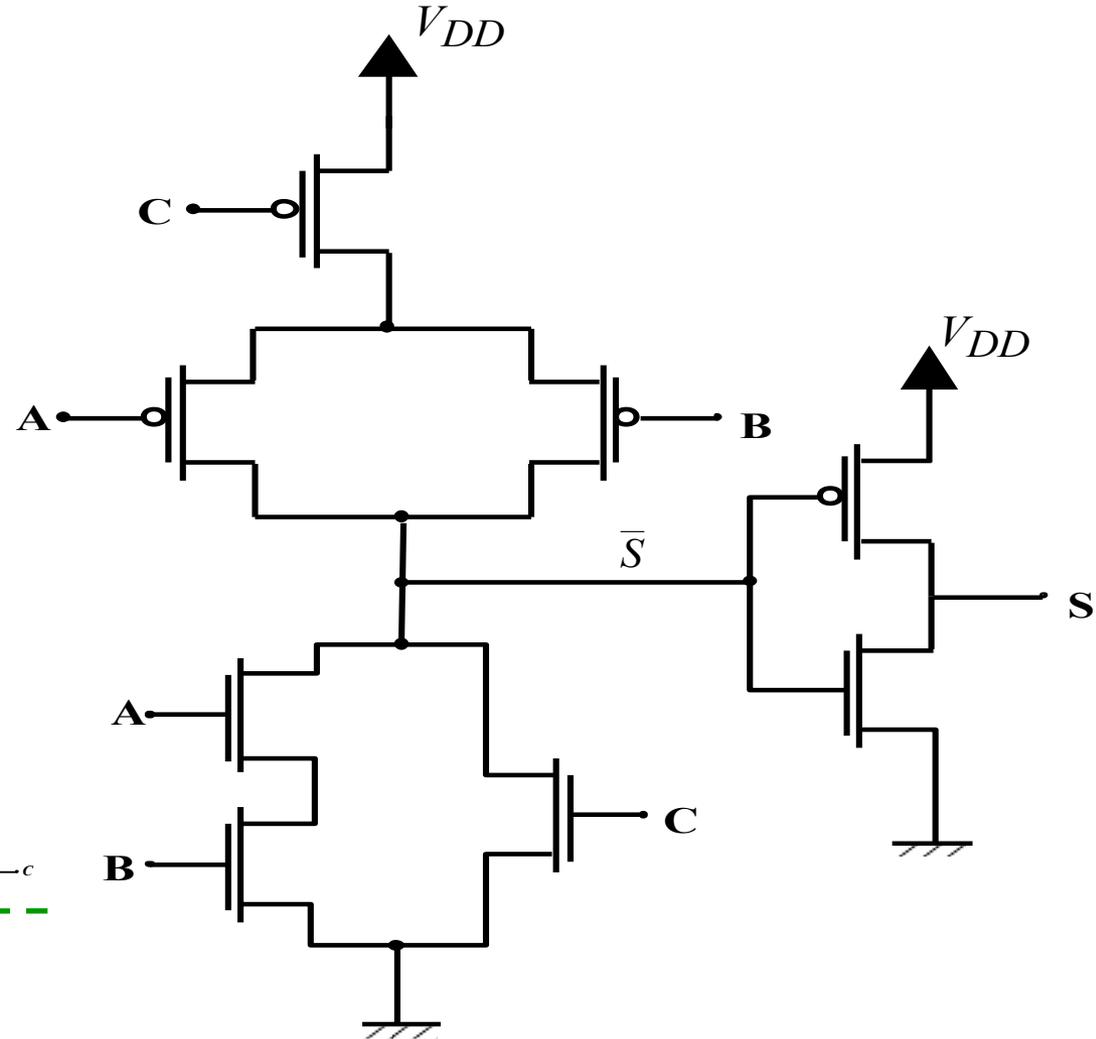
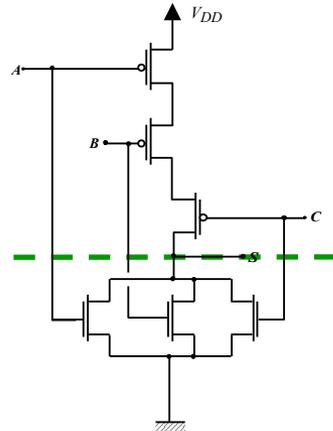
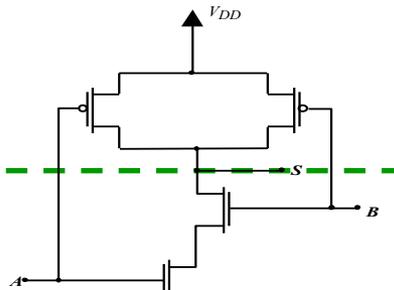
- » en **serie** pour réaliser les fonctions **OU**

CONSTRUCTION DE FONCTIONS COMBINATOIRES EN LOGIQUE CMOS

Exemple 1

$$S = AB + C$$

2 couches logiques

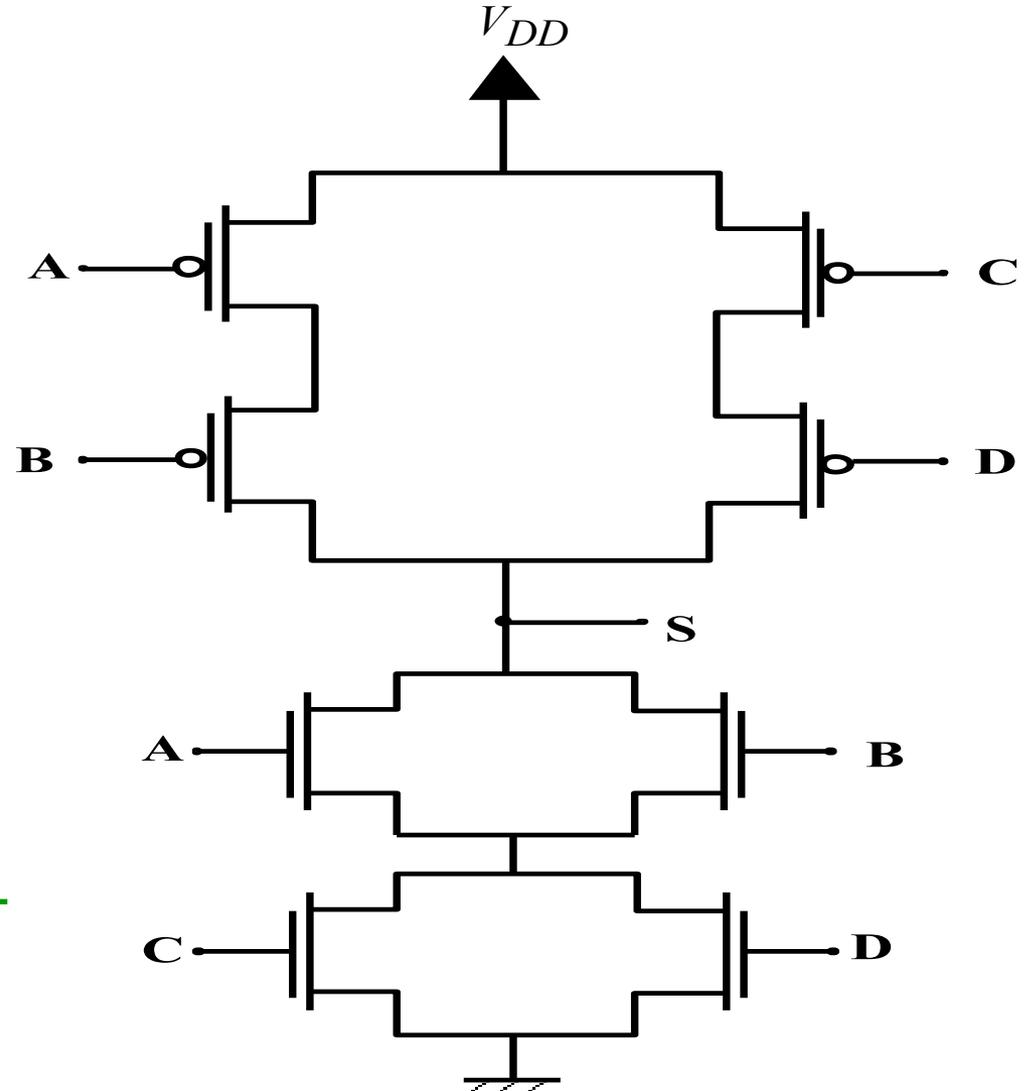
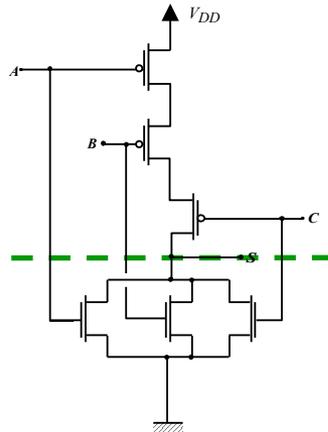
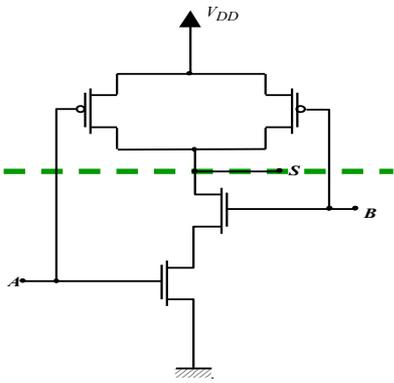


CONSTRUCTION DE FONCTIONS COMBINATOIRES EN LOGIQUE CMOS

Exemple 2

$$S = f(A, B, C, D) = \bar{A} \cdot \bar{B} + \bar{C} \cdot \bar{D}$$

$$S = \overline{(A+B)(C+D)}$$



CONSTRUCTION DE FONCTIONS COMBINATOIRES EN LOGIQUE CMOS

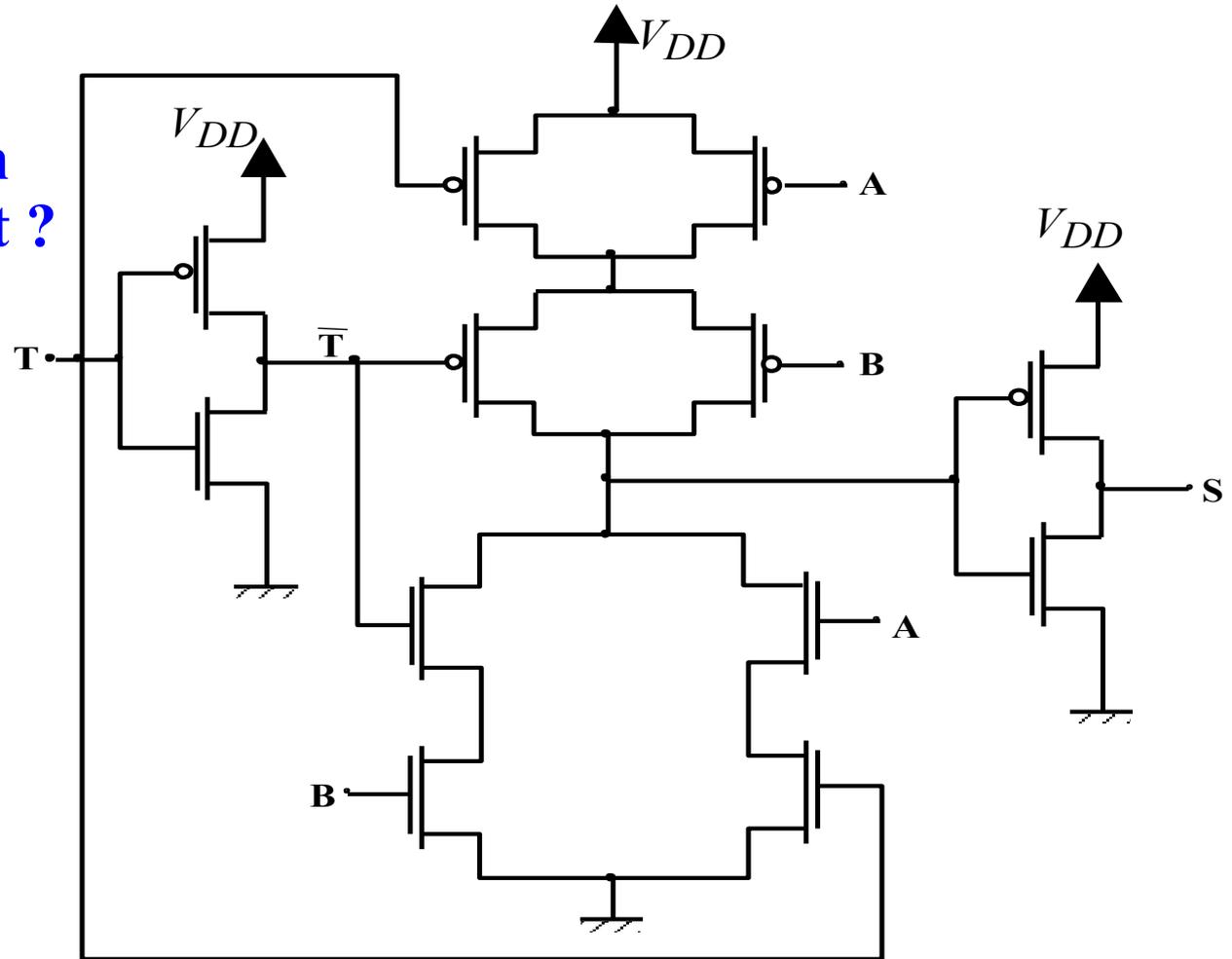
Exemple 3

Quelle est la fonction réalisée par ce circuit ?

$$S = A \cdot T + B \cdot \bar{T}$$



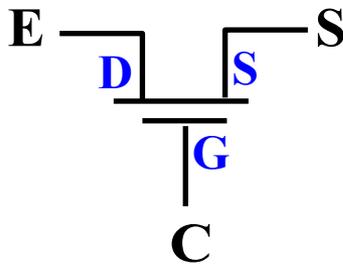
MUX2:1



CONSTRUCTION DE FONCTIONS COMBINATOIRES EN LOGIQUE CMOS

Opérateurs CMOS à base d'interrupteurs

– Porte de transfert nMOS



» $C = 0$ (V_{SS}) =>

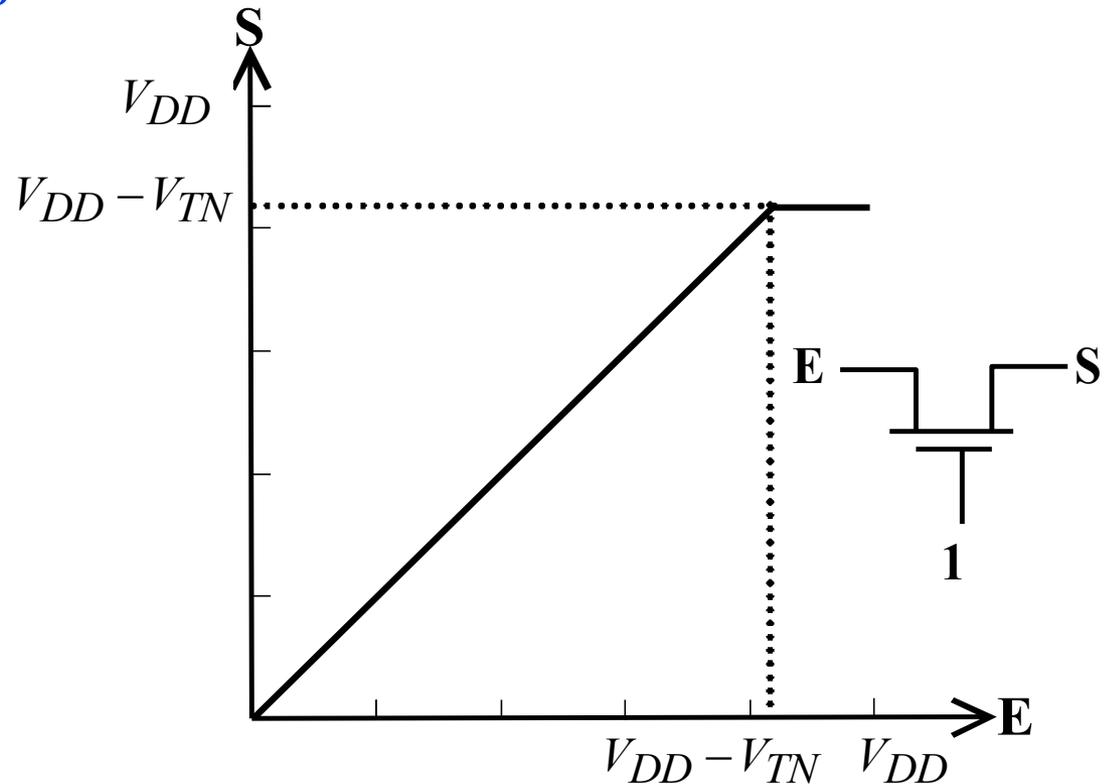


» $C = 1$ (V_{DD}) =>



mais

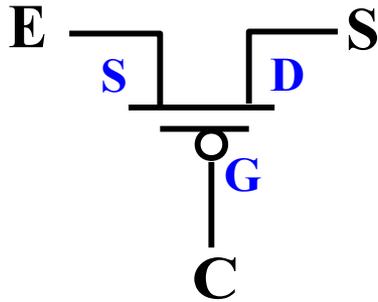
$$E = V_{DD} \Rightarrow S = V_{DD} - V_{TN}$$



CONSTRUCTION DE FONCTIONS COMBINATOIRES EN LOGIQUE CMOS

Opérateurs CMOS à base d'interrupteurs

– Porte de transfert pMOS



» $C = 1 (V_{DD}) \Rightarrow$

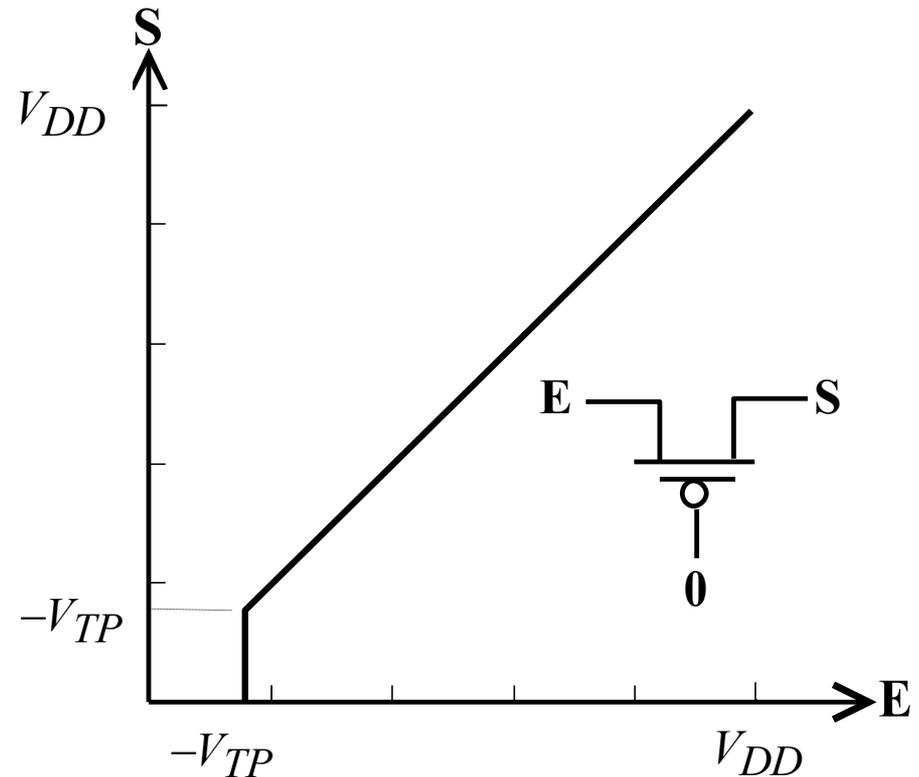


» $C = 0 (V_{SS}) \Rightarrow$



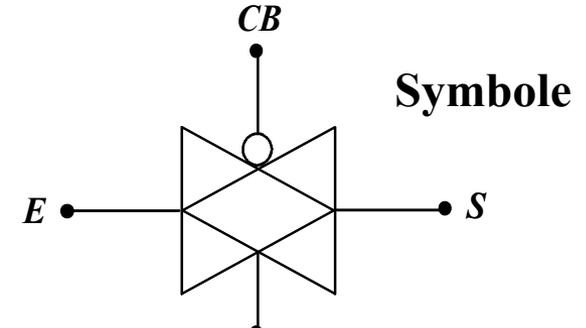
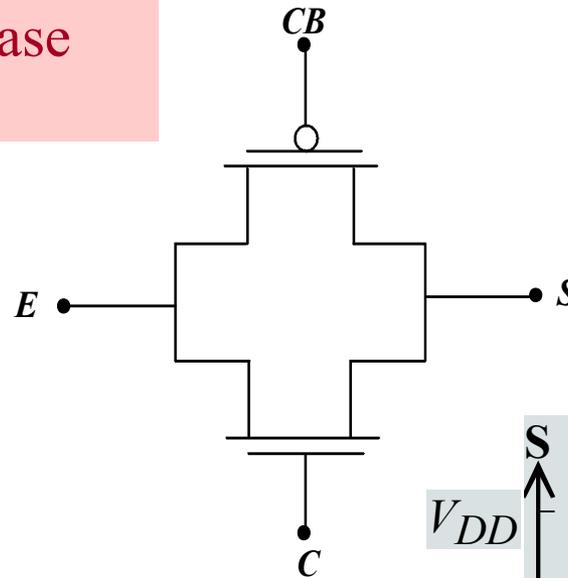
mais

$E < -V_{TP} \Rightarrow$ transistor bloqué



CONSTRUCTION DE FONCTIONS COMBINATOIRES EN LOGIQUE CMOS

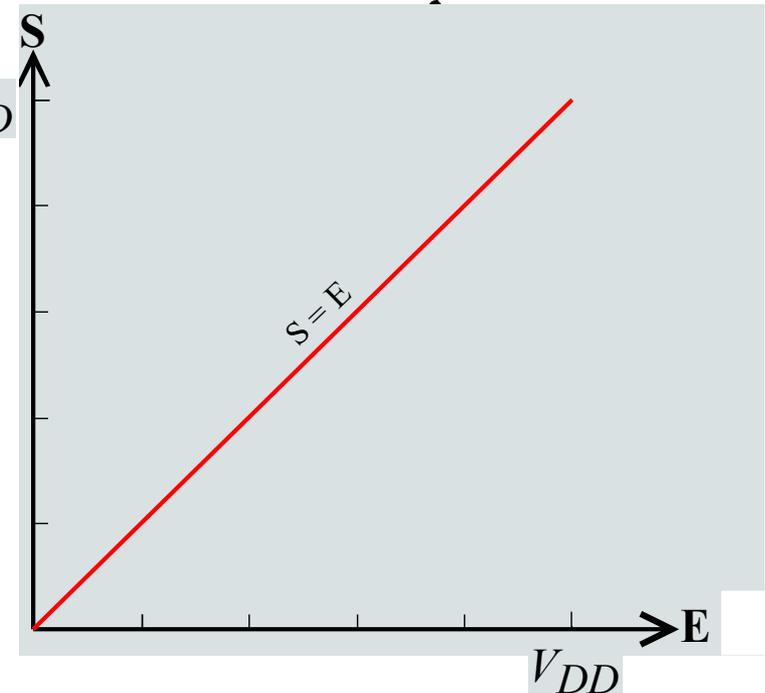
Opérateurs CMOS à base d'interrupteurs



- $C = 1$ et $CB = 0$, **transistors passants**

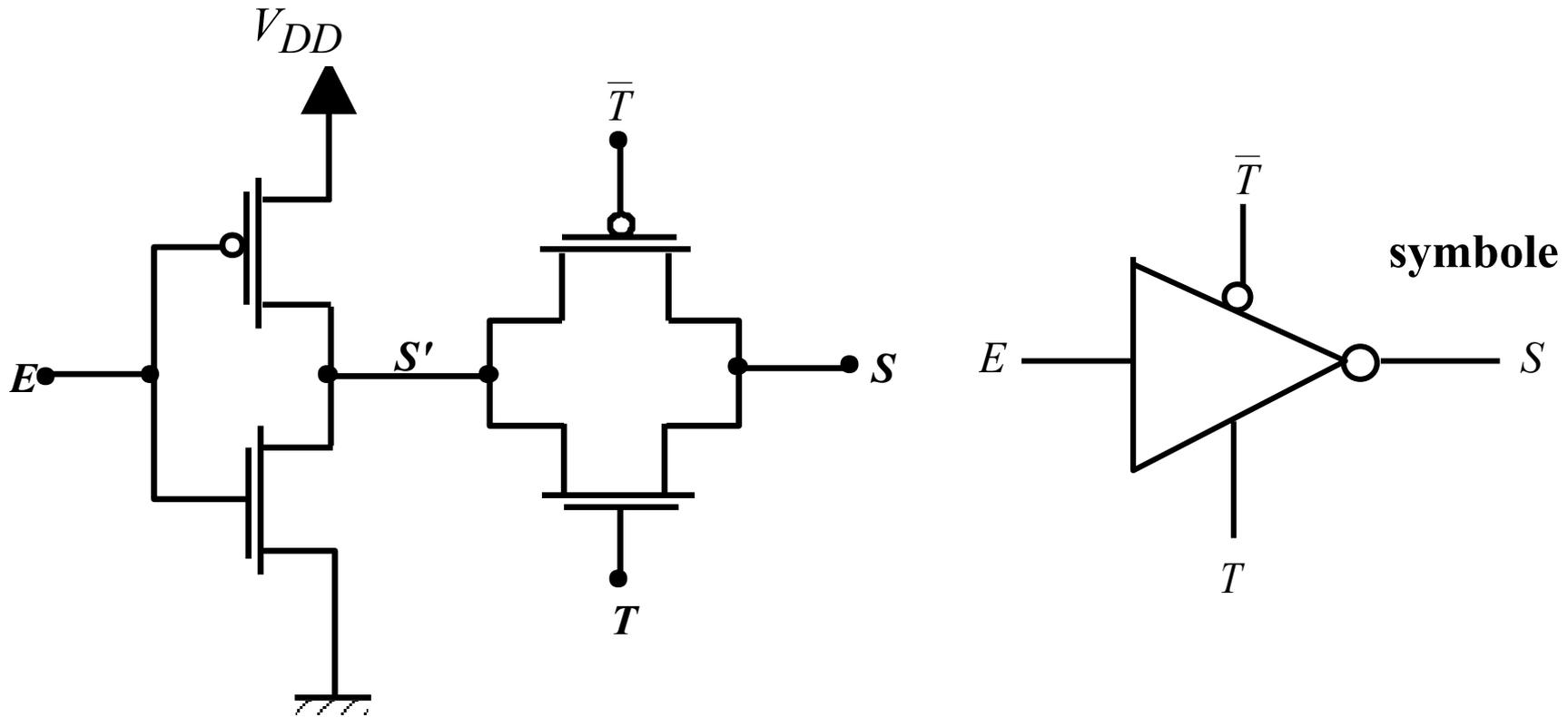


- $C = 0$ et $CB = 1$, **transistors bloqués**



CONSTRUCTION DE FONCTIONS COMBINATOIRES EN LOGIQUE CMOS

Exemple d'utilisation: inverseur 3 états



- Si $T = 1$, $S = S'$

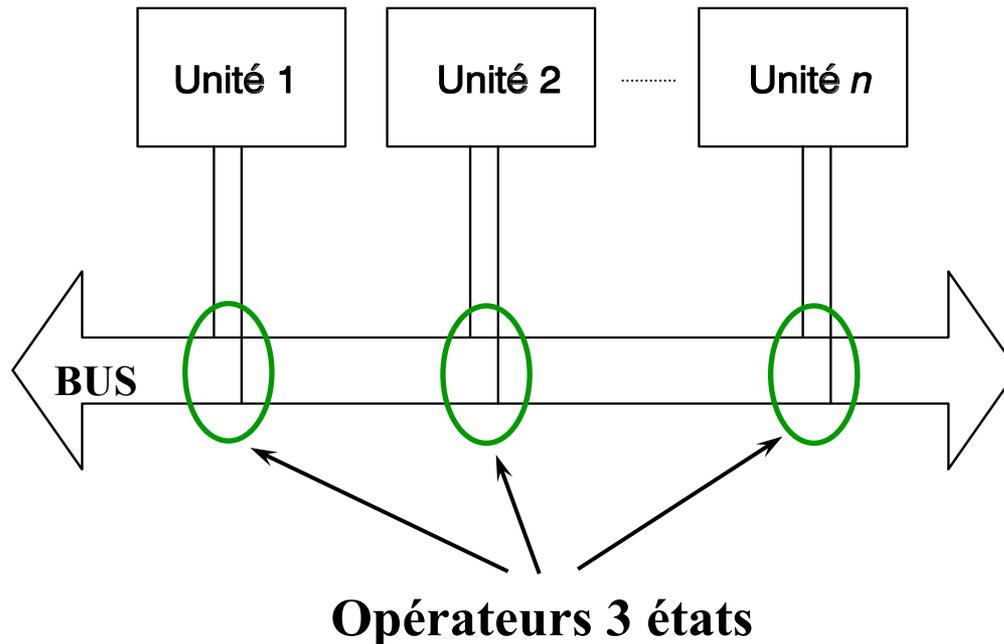
- Si $T = 0$, $S = Z$: état **haute impédance** (sortie déconnectée)

CONSTRUCTION DE FONCTIONS COMBINATOIRES EN LOGIQUE CMOS

Exemple d'utilisation: inverseur 3 états

Structures organisées autour d'un bus

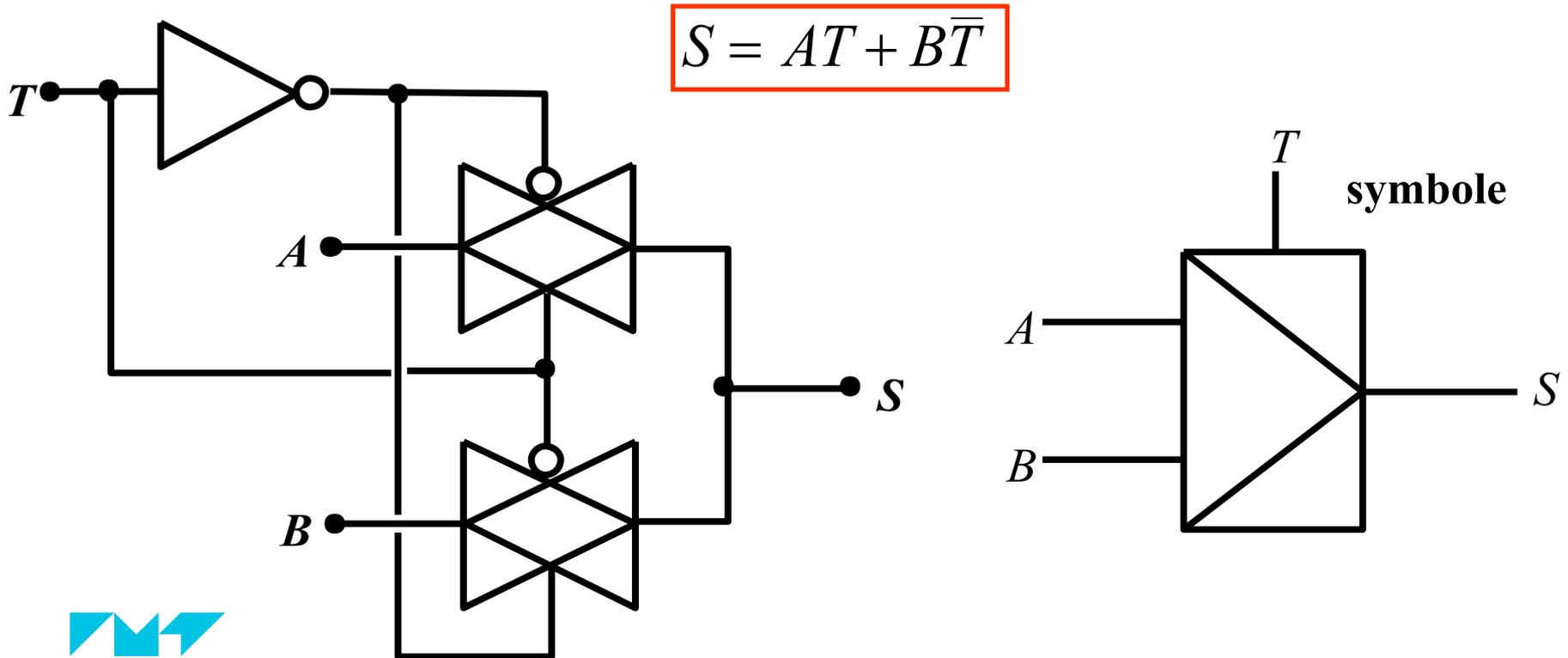
- Possibilité d'accès au bus pour plusieurs unités logiques
- Une seule unité à la fois doit être connectée pour éviter les conflits



CONSTRUCTION DE FONCTIONS COMBINATOIRES EN LOGIQUE CMOS

Exemple d'utilisation: la fonction multiplexage

Réalisation d'un multiplexeur 2 vers 1



RÉSUMÉ

Modèle de l'interrupteur pMOS ou nMOS

► Passant ou bloqué

Inverseur CMOS à l'aide d'un nMOS et d'un pMOS

Synthèse de fonctions logiques à partir de réseaux nMOS et pMOS

► Réseaux duaux

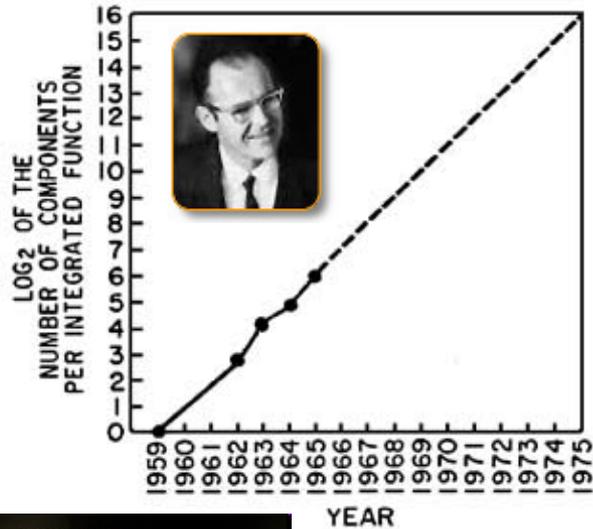
► nMOS en série pour fonction ET

► nMOS en // pour fonction OU

► On synthétise toujours une fonction complémentée

Interrupteur CMOS

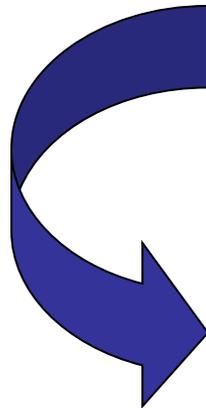
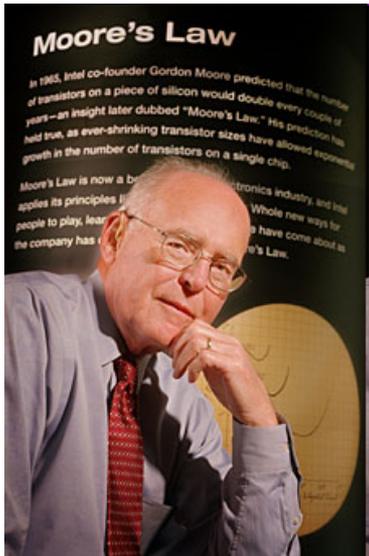
LA LOI DE MOORE



In 1965, Gordon Moore, Chef de la section R&D à Fairchild Semiconductor, prépara un article pour le 35^{ème} anniversaire de l' Electronics Magazine. Il découvrit que sur la période 1959-65, le nombre de composants (transistors) sur une puce doublait approximativement tous les ans.

In 1968, Gordon Moore et Robert Noyce fondent Intel Corporation.

In 1975, au IEEE International Electron Devices meeting, Moore revoit sa prédiction: le nombre de transistors sur une puce double tous les 2 ans.



Loi de Moore

Le nombre de transistors sur une puce de circuit intégré double tous les dix-huit mois